



DS28E01-100

带 SHA-1 引擎保护的 1k 位 1-Wire EEPROM

www.maxim-ic.com.cn

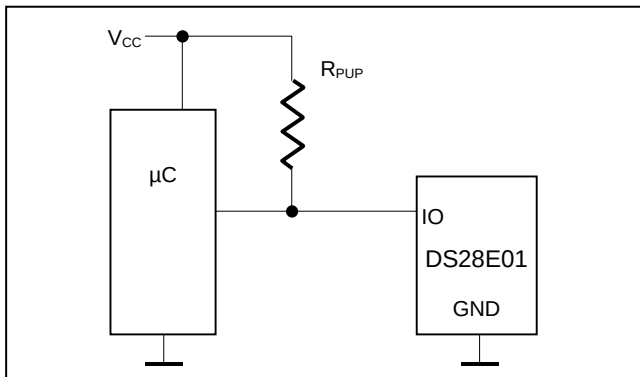
概述

DS28E01-100 将 1024 位 EEPROM 与符合 ISO/IEC 10118-3 安全散列算法(SHA-1)的质询响应安全认证结合在一起。1024 位 EEPROM 阵列分为四页，每页 256 位，带 64 位暂存器以执行写操作。所有存储器页都能设置为写保护模式，并可将其其中某页置于 EPROM 仿真模式，即数据位只能从 1 变为 0。每片 DS28E01-100 具有自己的 64 位 ROM 注册码，由工厂激光刻入芯片。DS28E01-100 通过单触点 1-Wire® 串行接口进行通信，遵循 Dallas Semiconductor 公司的标准 1-Wire 协议，在多个从器件的 1-Wire 网络中，其注册码充当节点地址。

应用

打印机墨盒配置及监控
医疗传感器鉴别和校准
系统知识产权保护

典型应用电路



为了清楚区分，命令、寄存器、模式均为大写。

1-Wire 是 Dallas Semiconductor Corp. 的注册商标。

特性

- 1024 位 EEPROM 存储器，分为 4 页，每页 256 位。
- 内置 512 位 SHA-1 引擎，用于计算 160 位信息认证码 (MAC) 或生成密钥。
- 写访问需要知道密钥，并且能够计算和传送 160 位 MAC，以鉴别真伪。
- 四个存储器页中的页 0、3 或全部页面由用户设置为写保护。
- 页 1 可被置于用户可编程的 OTP EPROM 仿真模式（“写为 0”）。
- 与主机间的通信通过单根数字线即可进行，遵循 1-Wire 协议，通信速率为 15.3kbps 或 125kbps。
- 逻辑电平切换点滞回和滤波优化了抗噪声性能。
- 可在 -40°C 至 +85°C 温度范围，2.8V 至 5.25V 宽电压范围内进行读、写操作。
- 采用 6 引脚 TSOC，2 引脚 SFN 或 2 焊球晶片级表贴封装。

订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS28E01P-100	-40 to 85°C	6-pin TSOC
DS28E01P-100/T&R	-40 to 85°C	TSOC Tape & reel
DS28E01P-100+	-40 to 85°C	6-pin TSOC
DS28E01P-100+T&R	-40 to 85°C	TSOC Tape & reel
DS28E01G-100+T&R	-40 to 85°C	2-pin SFN Tape & reel

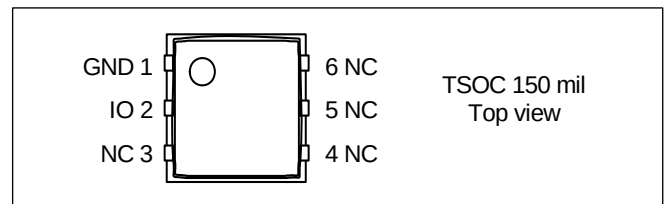
+表示无铅封装。

订购信息及引脚配置(续)在数据资料的最后给出。

申请完整的数据资料，请访问：

www.maxim-ic.com.cn/fullids/DS28E01-100

引脚配置



注：我们对该器件的规格作了一些修订，可能与前期公布的指标不同，这些修订信息已作为勘误表提供给用户。通过各种销售途径可能会同时获得某器件的多个修订版本。有关勘误表的详细信息，请访问：www.maxim-ic.com.cn/errata。

ABSOLUTE MAXIMUM RATINGS

IO Voltage to GND	-0.5V, +6V
IO Sink Current	20mA
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See IPC/JEDEC J-STD-020A

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(T_A = -40°C to +85°C; see Note 1.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IO PIN GENERAL DATA						
1-Wire Pullup Voltage	V _{PUP}	(Note 2)	2.8		5.25	V
1-Wire Pullup Resistance	R _{PUP}	(Notes 2, 3)	0.3		2.2	kΩ
Input Capacitance	C _{IO}	(Notes 4, 5)			1000	pF
Input Load Current	I _L	IO pin at V _{PUP}	0.05		6.7	μA
High-to-Low Switching Threshold	V _{TL}	(Notes 5, 6, 7)	0.46		V _{PUP} - 1.8V	V
Input Low Voltage	V _{IL}	(Notes 2, 8)			0.5	V
Low-to-High Switching Threshold	V _{TH}	(Notes 5, 6, 9)	1.0		V _{PUP} - 1.1V	V
Switching Hysteresis	V _{HY}	(Notes 5, 6, 10)	0.21		1.70	V
Output Low Voltage	V _{OL}	At 4mA Current Load (Note 11)			0.4	V
Recovery Time (Notes 2, 12)	t _{REC}	Standard speed, R _{PUP} = 2.2kΩ	5			μs
		Overdrive speed, R _{PUP} = 2.2kΩ	2			
		Overdrive speed, directly prior to reset pulse; R _{PUP} = 2.2kΩ	5			
Rising-Edge Hold-off Time (Notes 5, 13)	t _{REH}	Standard speed	0.5		5.0	μs
		Overdrive speed	Not applicable (0)			
Time slot Duration (Note 2, 14)	t _{SLOT}	Standard speed	65			μs
		Overdrive speed	8			
IO PIN, 1-WIRE RESET, PRESENCE DETECT CYCLE						
Reset Low Time (Note 2)	t _{RSTL}	Standard speed	480		640	μs
		Overdrive speed	48		80	
Presence Detect High Time	t _{PDH}	Standard speed	15		60	μs
		Overdrive speed	2		6	
Presence Detect Low Time	t _{PDL}	Standard speed	60		240	μs
		Overdrive speed	8		24	
Presence Detect Sample Time (Notes 2, 15)	t _{MSP}	Standard speed	60		75	μs
		Overdrive speed	6		10	
IO PIN, 1-Wire WRITE						
Write-0 Low Time (Notes 2, 16, 17)	t _{W0L}	Standard speed	60		120	μs
		Overdrive speed, V _{PUP} > 4.5V	5		15.5	
		Overdrive speed	6		15.5	
Write-1 Low Time (Notes 2, 17)	t _{W1L}	Standard speed	1		15	μs
		Overdrive speed	1		2	
IO PIN, 1-Wire READ						
Read Low Time (Notes 2, 18)	t _{RL}	Standard speed	5		15 - δ	μs
		Overdrive speed	1		2 - δ	
Read Sample Time (Notes 2, 18)	t _{MSR}	Standard speed	t _{RL} + δ		15	μs
		Overdrive speed	t _{RL} + δ		2	

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EEPROM						
Programming Current	I_{PROG}	(Notes 5, 19)			0.8	mA
Programming Time	t_{PROG}	(Note 20)			10	ms
Write/Erase Cycles (Endurance) (Notes 21, 22)	N_{CY}	At 25°C	200k			---
		At 85°C (worst case)	50k			
Data Retention (Notes 23, 24, 25)	t_{DR}	At 85°C (worst case)	40			years
SHA-1 ENGINE						
SHA Computation Current (Notes 5, 19)	I_{LCSHA}	See full version of data sheet.				mA
SHA Computation Time (Note 5)	t_{CSHA}	See full version of data sheet.				ms

Note 1: Specifications at $T_A = -40^\circ\text{C}$ are guaranteed by design only and not production-tested.

Note 2: System requirement.

Note 3: Maximum allowable pullup resistance is a function of the number of 1-Wire devices in the system and 1-Wire recovery times. The specified value here applies to systems with only one device and with the minimum 1-Wire recovery times. For more heavily loaded systems, an active pullup such as that found in the DS2482-x00, DS2480B, or DS2490 may be required.

Note 4: Maximum value represents the internal parasite capacitance when V_{PUP} is first applied. If $R_{\text{PUP}} = 2.2\text{k}\Omega$, $2.5\mu\text{s}$ after V_{PUP} has been applied the parasite capacitance will not affect normal communications.

Note 5: Guaranteed by design, characterization and/or simulation only. Not production tested.

Note 6: V_{TL} , V_{TH} , and V_{HY} are a function of the internal supply voltage, which is itself a function V_{PUP} , R_{PUP} , 1-Wire timing, and capacitive loading on IO. Lower V_{PUP} , higher R_{PUP} , shorter t_{REC} , and heavier capacitive loading all lead to lower values of V_{TL} , V_{TH} , and V_{HY} .

Note 7: Voltage below which, during a falling edge on IO, a logic 0 is detected.

Note 8: The voltage on IO needs to be less than or equal to $V_{\text{IL(MAX)}}$ at all times the master is driving IO to a logic-0 level.

Note 9: Voltage above which, during a rising edge on IO, a logic 1 is detected.

Note 10: After V_{TH} is crossed during a rising edge on IO, the voltage on IO has to drop by at least V_{HY} to be detected as logic '0'.

Note 11: The I-V characteristic is linear for voltages less than 1V.

Note 12: Applies to a single DS28E01-100 attached to a 1-Wire line.

Note 13: The earliest recognition of a negative edge is possible at t_{REH} after V_{TH} has been reached on the preceding rising edge.

Note 14: Defines maximum possible bit rate. Equal to $t_{\text{WOL(min)}} + t_{\text{REC(min)}}$.

Note 15: Interval after t_{RSTL} during which a bus master is guaranteed to sample a logic-0 on IO if there is a DS28E01-100 present. Minimum limit is $t_{\text{PDH(max)}}$; maximum limit is $t_{\text{PDH(min)}} + t_{\text{PDL(min)}}$.

Note 16: Highlighted numbers are NOT in compliance with legacy 1-Wire product standards. See comparison table below.

Note 17: ε in Figure 12 represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to V_{TH} . The actual maximum duration for the master to pull the line low is $t_{\text{W1Lmax}} + t_{\text{F}} - \varepsilon$ and $t_{\text{W0Lmax}} + t_{\text{F}} - \varepsilon$ respectively.

Note 18: δ in Figure 12 represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to the input high threshold of the bus master. The actual maximum duration for master to pull the line low is $t_{\text{RLmax}} + t_{\text{F}}$.

Note 19: Current drawn from IO during EEPROM programming or SHA-1 computation interval.

Note 20: See full version of data sheet.

Note 21: Write-cycle endurance is degraded as T_A increases.

Note 22: Not 100% production-tested; guaranteed by reliability monitor sampling.

Note 23: Data retention is degraded as T_A increases.

Note 24: Guaranteed by 100% production test at elevated temperature for a shorter time; equivalence of this production test to data sheet limit at operating temperature range is established by reliability testing.

Note 25: EEPROM writes may become non-functional after the data retention time is exceeded. Long-time storage at elevated temperatures is not recommended; the device may lose its write-capability after 10 years at 125°C or 40 years at 85°C.

PARAMETER	LEGACY VALUES				DS28E01-100 VALUES			
	STANDARD SPEED		OVERDRIVE SPEED		STANDARD SPEED		OVERDRIVE SPEED	
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
t _{SLOT} (incl. t _{REC})	61μs	(undef.)	7μs	(undef.)	65μs ¹⁾	(undef.)	8μs ¹⁾	(undef.)
t _{RSTL}	480μs	(undef.)	48μs	80μs	480μs	640μs	48μs	80μs
t _{PDH}	15μs	60μs	2μs	6μs	15μs	60μs	2μs	6μs
t _{PDL}	60μs	240μs	8μs	24μs	60μs	240μs	8μs	24μs
t _{WOL}	60μs	120μs	6μs	16μs	60μs	120μs	6μs	15.5μs

¹⁾ Intentional change, longer recovery time requirement due to modified 1-Wire front end.

引脚说明

名称	功能
IO	1-Wire 总线接口，漏极开路，需外接上拉电阻。
GND	参考地
NC	没有连接

说明

DS28E01-100 在单个芯片内集成了1024位EEPROM（分为4页，每页256位）、64位密钥、一个寄存器页、512位SHA-1引擎和64位ROM序列码。数据按照1-Wire协议串行传送，只需一根数据线和一根返回地线。DS28E01-100有一个称为暂存器的辅助存储区，在向主存储器、寄存器写数据，或是在设置新密钥时充当缓冲器。数据首先被存入暂存器，并可从这里读回。数据经过验证后，只要DS28E01-100接收到了匹配的160位MAC，那么Copy Scratchpad命令将把数据传送到最终的存储单元。MAC的计算涉及到存储在DS28E01-100中的密钥和附加数据，以及器件注册码。只有加载新密钥时才无需提供MAC。读存储页或计算一个新密钥而不是直接加载密钥时，也将激活SHA-1引擎来计算160位MAC。

DS28E01-100 能识别一个特有的 Refresh Scratchpad 命令。器件被用在接触环境时，如果在执行完 Copy Scratchpad 命令之后适当地执行刷新过程，可以减小失效弱位的位数（参见写入及验证部分）。刷新过程还提供了一种恢复器件中处于弱状态位的方法。

DS28E01-100 有 64 位 ROM 序列码，当器件处于多点 1-Wire 网络环境（多个器件挂接在同一根 1-Wire 总线上，且彼此独立工作不受影响）中时，可以用该序列码对器件进行唯一识别。DS28E01-100 的典型应用包括：打印机墨盒配置及监控、医疗传感器鉴别和校准、系统知识产权保护。

概述

图1中的框图说明了DS28E01-100主控单元与存储器部分的关系。DS28E01-100包括六个主要数据部件：1) 64位光刻ROM码，2) 64位暂存器，3) 四个EEPROM页，每页256位，4) 寄存器页，5) 64位密钥存储器，6) 512位SHA（安全散列算法）引擎。1-Wire 协议的层次结构如图2所示，主机必须首先发送以下七条ROM操作命令中的一条：1) Read ROM，2) Match ROM，3) Search ROM，4) Skip ROM，5) Resume Communication，6) Overdrive-Skip ROM，7) Overdrive-Match ROM。当以标准速度执行完Overdrive ROM 命令后，器件进入高速模式，所有后续通信均以高速模式进行。与ROM 操作命令有关的协议说明见图10。成功执行完ROM操作命令后，就可以进行存储器和SHA-1操作，主机可发出10条有效功能命令中的任一条。功能命令协议说明见图8*。所有数据读写时都是低位在前。

*图 8 请参考完整的数据资料。

图 1. 结构框图

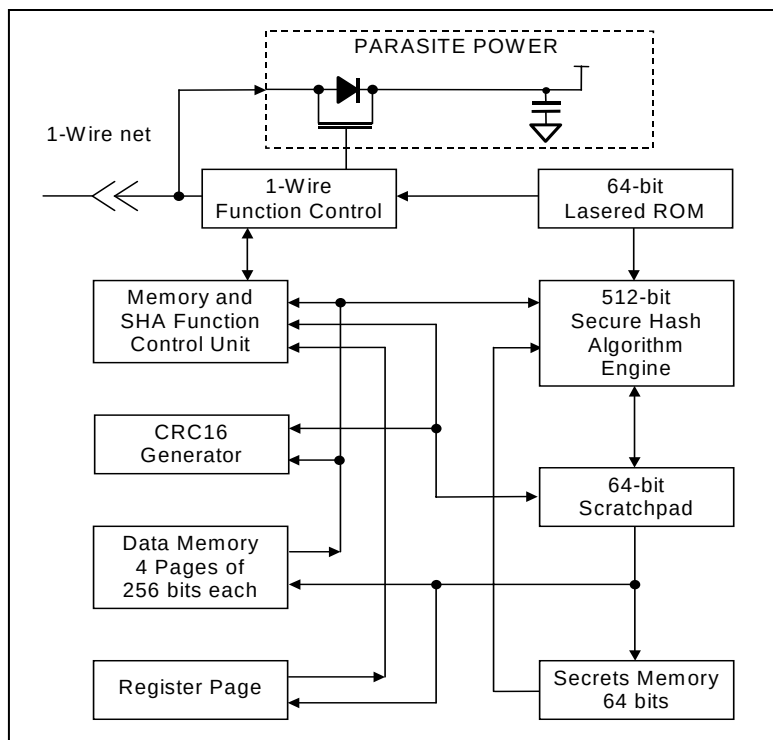
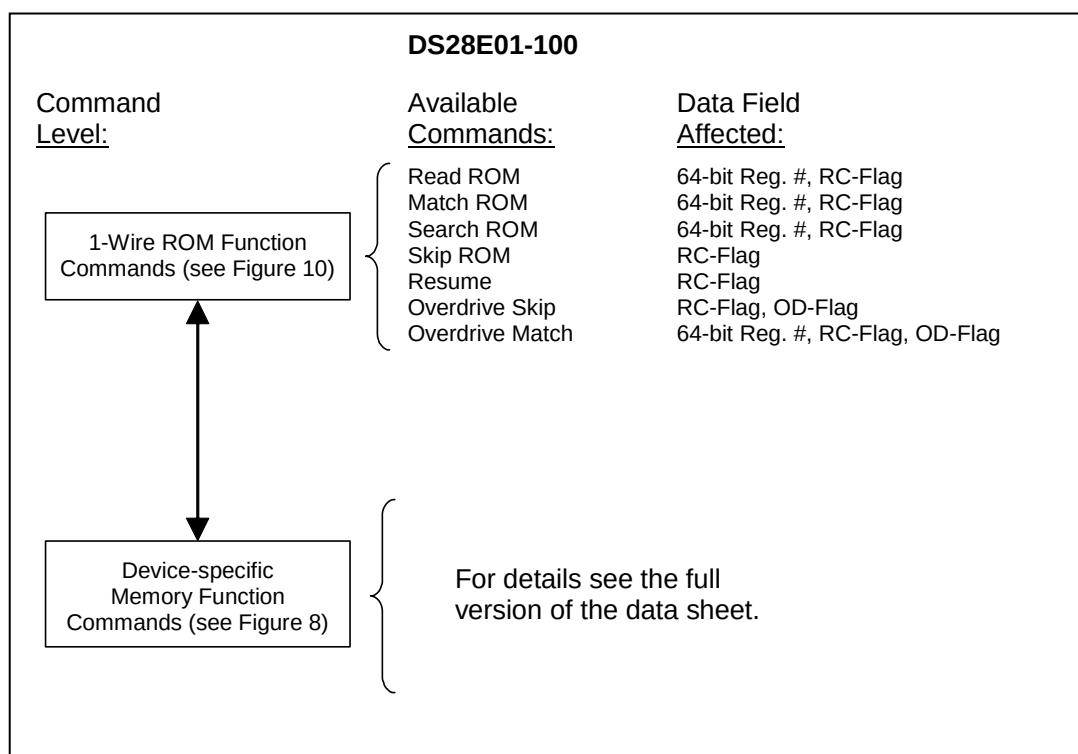


图 2.1-Wire 协议层次结构



64 位光刻 ROM

每片DS28E01-100都有唯一的64位ROM注册码，其中前8位是1-Wire家族码，中间48位是唯一的序列号，最后8位是前56位的CRC（循环冗余校验）码，如图3所示。1-Wire CRC校验码由一个包含移位寄存器和异或门的多项式发生器产生，如图4所示。该多项式为： $X^8 + X^5 + X^4 + 1$ 。有关Dallas 1-Wire CRC校验码的更多信息参见应用笔记27。移位寄存器的初值为零。从家族码的LSB开始，每次移入一位。当家族码第8位移入后，再移入序列号。当序列号第48位也移入后，移位寄存器中的内容就是CRC值。移入8位CRC校验码后，移位寄存器应该全部归零。

图 3. 64 位光刻 ROM

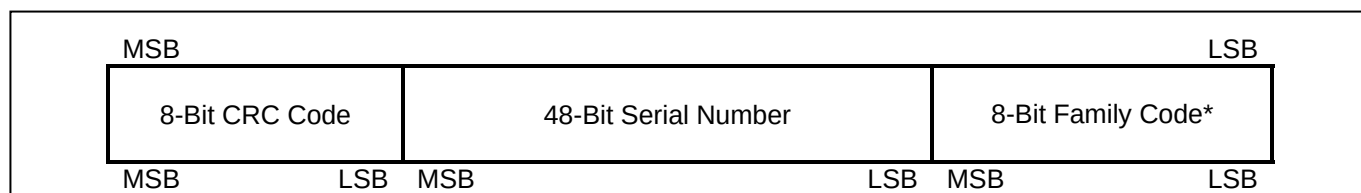
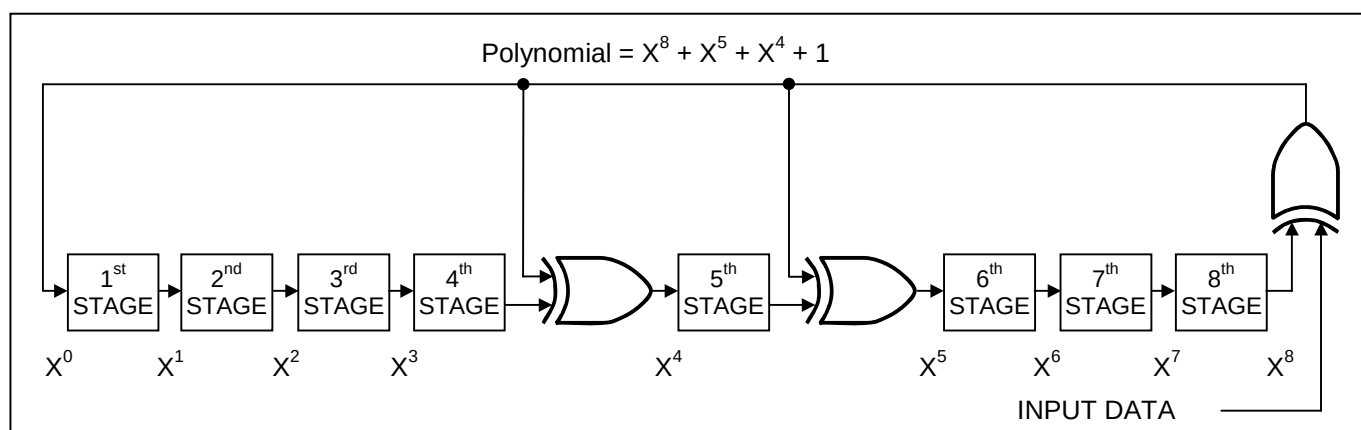


图 4. 1-Wire CRC 发生器



存储器

DS28E01-100有四个存储区：数据存储器、密钥存储器、含有特定功能和用户字节的寄存器页和易失性暂存器。数据存储器共分4页，每页32个字节。密钥存储器和暂存器为8字节。向数据存储器写数据、载入初始密钥或者向寄存器页写数据时，暂存器作为缓存器使用。更多内容(包括图5和图6)请参考完整的数据资料。

*实际家族码请参考完整的数据资料。

地址寄存器和传输状态

DS28E01-100 使用三个地址寄存器：TA1、TA2和E/S（图7）。这些寄存器普遍用于许多其它1-Wire器件，但在DS28E01-100中的工作略有不同。寄存器TA1和TA2存放的是写入数据或读取数据的目标地址。寄存器E/S 是一个只读的传输状态寄存器，用于验证写命令的数据完整性。因为DS28E01-100的暂存器只接收8字节的数据块，所以TA1的低三位总为0，E/S 寄存器的低三位（结束偏移量）总是1。这意味着暂存器中的所有数据随后都要复制到主存储器或密钥存储器中。E/S寄存器的第5位称为PF 或字节不全标志，该位如果为逻辑1，则意味着主机发送的数据位数不是8的整数倍，或者暂存器中的数据由于掉电的关系而成为无效数据。有效的写暂存器操作将清除PF 位。第3、4、6位没有功能；读出时总为1。利用PF标志，主机可以在写命令之后检验数据的完整性。E/S寄存器的最高位称为AA 或授权许可标记，用以指示暂存器中的数据已复制到目标存储器地址。向暂存器中写入数据将清除该标志。

图 7. 地址寄存器

Bit #	7	6	5	4	3	2	1	0
Target Address (TA1)	T7	T6	T5	T4	T3	T2 (0)	T1 (0)	T0 (0)
Target Address (TA2)	T15	T14	T13	T12	T11	T10	T9	T8
Ending Address with Data Status (E/S) (Read Only)	AA	1	PF	1	1	E2 (1)	E1 (1)	E0 (1)

写入及验证

在向DS28E01-100写数据时，必须把暂存器用作中间存储器。首先，主控制器发Write Scratchpad命令并指定目标地址，然后将数据写入暂存器。注意，数据必须写入存储器的8 字节边界内，也就是说，目标地址的三个最低有效位T2–T0 必须等于000b。如果发送的T2–T0为非零值，器件将把这些位置为零，并把修改后的地址做为目标地址。主机应始终发送8个完整的数据字节，8个数据字节传输完毕后，主机能够接收到由器件根据主机发送的Write Scratchpad 命令、目标地址和数据等生成的CRC16校验反码。主控制器将该CRC码与自己计算出来的值相比较，就可以判断数据通讯是否成功。在写完暂存器后，主机通常应该执行Read Scratchpad命令，以验证写入的数据是否正确。读暂存器时，DS28E01-100会重新发回目标地址TA1 、TA2以及E/S 寄存器的内容。如果DS28E01-100在Write Scratchpad、Refresh Scratchpad命令中接收到的数据字节不完整，或者上一次写暂存器后发生掉电故障，则字节不全标志（E/S寄存器的位5）被置为1。执行完Write Scratchpad 或Refresh Scratchpad命令后，授权许可标记AA（E/S寄存器的位7）通常会被清零。所以，如果该位置为1，则表明DS28E01-100没有能够处理写（或刷新）暂存器命令。无论上述哪一种情况，主机都应重写暂存器。主机接收到E/S寄存器内容后，还会收到暂存器数据。Write Scratchpad和Refresh Scratchpad命令的描述给出了在各种条件下暂存器数据可能发生的变化。在暂存器数据后面收到的是由Read Scratchpad命令、目标地址、E/S寄存器内容和暂存器数据等生成的CRC校验反码。与Write Scratchpad命令一样，主机把该CRC码同自己计算出的CRC码相比较，以判断通信是否成功。主机验证完数据后，就可以发送Copy Scratchpad命令将暂存器数据复制到存储器。此外，也可以发出Load First Secret或Compute Next Secret命令来更改密钥。详细信息参见相关命令的说明。

存储器和 SHA 功能命令

这一部分说明器件存储器和 SHA 引擎使用的命令和流程图，包括表 1 至 4 和图 8，请参考完整的数据资料。

SHA-1 算法

以下有关SHA算法的说明译自安全散列标准（Secure Hash Standard）SHA-1 文档，该文档可从NIST 网站下载（www.itl.nist.gov/fipspubs/fip180-1.htm），详细信息请参考完整的数据资料。

1-Wire 总线系统

1-Wire总线系统由一个总线主机和一个或多个从器件组成。在所有应用实例中，DS28E01-100 都作为从器件使用，总线主机通常是一个微控制器。对1-Wire总线系统的讨论分为3 个部分：硬件配置、处理流程和1-Wire信令(信号类型和时序)。1-Wire协议根据特定时隙中总线的状态来工作，这些特定时隙始于总线主机发出的同步脉冲的下降沿。

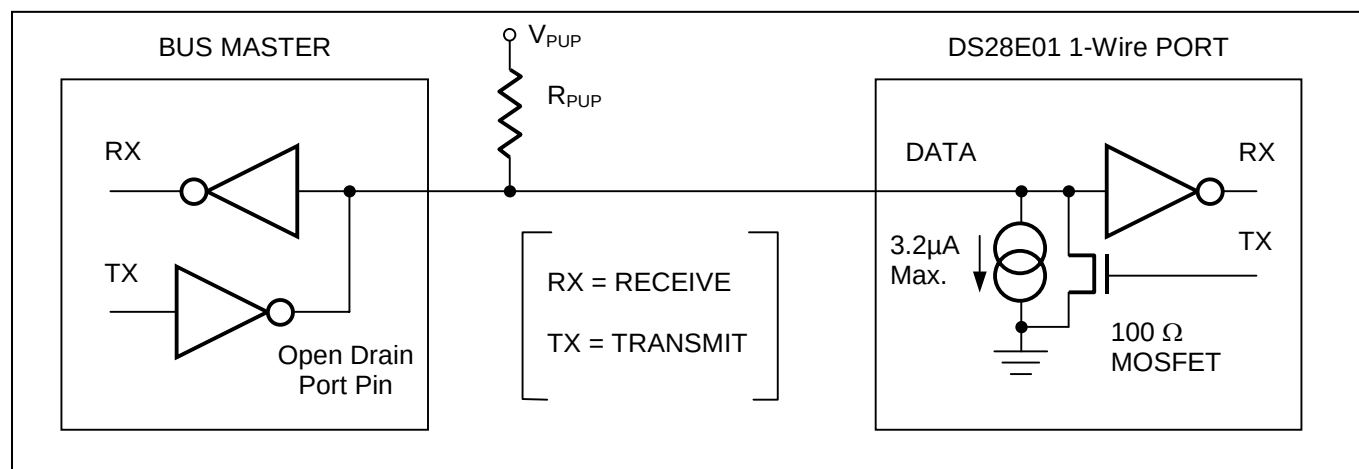
硬件配置

1-Wire总线只定义了一条数据线，所以，保证在适当的时间驱动总线上的每个器件非常重要。为了达到这一目的，接在1-Wire总线上的每个器件都必须具有漏极开路或三态输出。DS28E01-100的1-Wire端口为漏极开路，其内部等效电路如图9所示。

多点总线由连接了多个从机器件的1-Wire总线组成。DS28E01-100支持15.3kbps（最大值）的标准通信速率和125kbps（最大值）的高速通信速率。注意，先前推出的1-Wire器件支持16.3kbps的标准通信速率和142kbps的高速通信速率。DS28E01-100速率略有降低，原因是为增强1-Wire 物理接口对噪声的抑制而增加了恢复时间。上拉电阻的阻值主要由网络的大小和负载条件决定。DS28E01-100 在任何速度下运行都需要一个2.2k Ω （最大）的上拉电阻。

1-Wire总线的空闲状态是高电平。如因某种原因需要暂停通信，稍后要恢复通信的话，总线必须保持在空闲状态。否则，当总线处于低电平的时间超过16 μ s（高速模式）或120 μ s（常规速率）时，总线上的一个或多个器件将可能被复位。

图 9. 硬件配置



处理流程

通过1-Wire 端口访问DS28E01-100 的协议如下：

- 初始化
- ROM 功能命令
- 存储/SHA 功能命令
- 传输/数据

初始化

1-Wire总线上所有的传输操作均从初始化过程开始。初始化过程由主机发出的复位脉冲和从机发出的在线应答脉冲组成。在线应答脉冲通知主机DS28E01-100挂接在总线上，并且已经准备就绪。详细内容请参阅**1-Wire 信号**一节。

1-Wire ROM 功能命令

一旦主机检测到在线应答脉冲，就可以发出DS28E01-100支持的七条ROM 功能命令中的一条。所有ROM 操作命令的长度为八位。以下列出了这些命令的简要介绍（见图10中的流程图）。

Read ROM [33h]

该命令允许主机读取DS28E01-100的8 位家族码、48 位唯一序列号和8 位CRC 校验码。此命令适用于总线上只有一个从器件的情况。如果总线上连接了多个从器件，那么当所有从器件同时响应该命令时，就必然会发生数据冲突（漏极开路输出将产生一个线与结果）。结果导致主机读取的家族码和48 位序列号无效。

Match ROM [55h]

Match ROM 命令后面跟一个64 位ROM 序列，允许主机访问多点总线上一个特定的DS28E01-100。只有与该64 位ROM 序列（包括外部地址）完全匹配的DS28E01-100 才会对后面的存储/控制功能命令做出反应。其它所有从器件均等待下一个复位脉冲。该命令适用于单点式总线和多点式总线。

Search ROM [F0h]

系统刚启动时，主机可能不知道1-Wire 总线上挂接了多少个从器件，也不知道它们的器件ID。主机可利用总线的线与特性，采用排除法来识别总线上所有从器件的ID码。在器件ID的每一位中，从最低有效位开始，主机发送三个时隙。第一个时隙，每个参与搜索的从机都输出各自ID码该位的值。第二个时隙，每个参与搜索的从机都输出该位的补码。第三个时隙，主机写入该位指定值。所有与该值不匹配的从机都不再参加搜索。如果主机两次读到的值均是0，则说明从机该位的两个状态都存在。主机通过写入的状态值来选择搜索ROM 码树的不同分支。经过一次完整搜索过程，主机即可知道某个从机的地址码。另外的搜索过程可以识别其余从机的地址码。详细讨论请参考**应用笔记 187：1-Wire 搜索算法**，其中包括一个示例。

Skip ROM [CCh]

在单个从机总线系统中，主机可使用此命令在不知道64 位ROM 地址码的情况下访问存储器，从而节省时间。但是，假设总线上不止一个从机，当一条Read 命令紧跟在一条Skip ROM 命令发送时，会因多个从机同时发送数据而导致数据冲突。（漏极开路输出下拉将产生一个线与结果）。

图 10-1. ROM 功能流程图

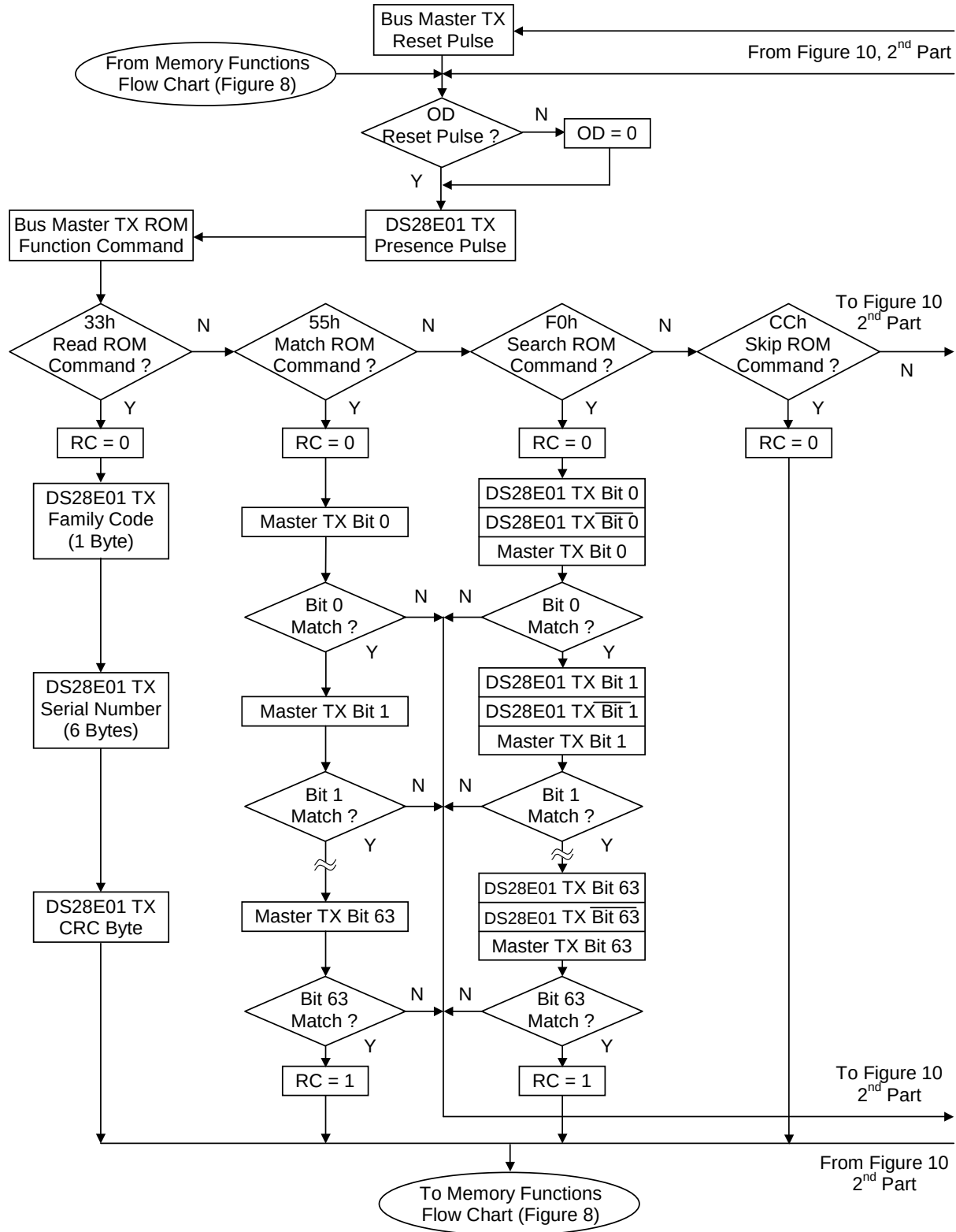
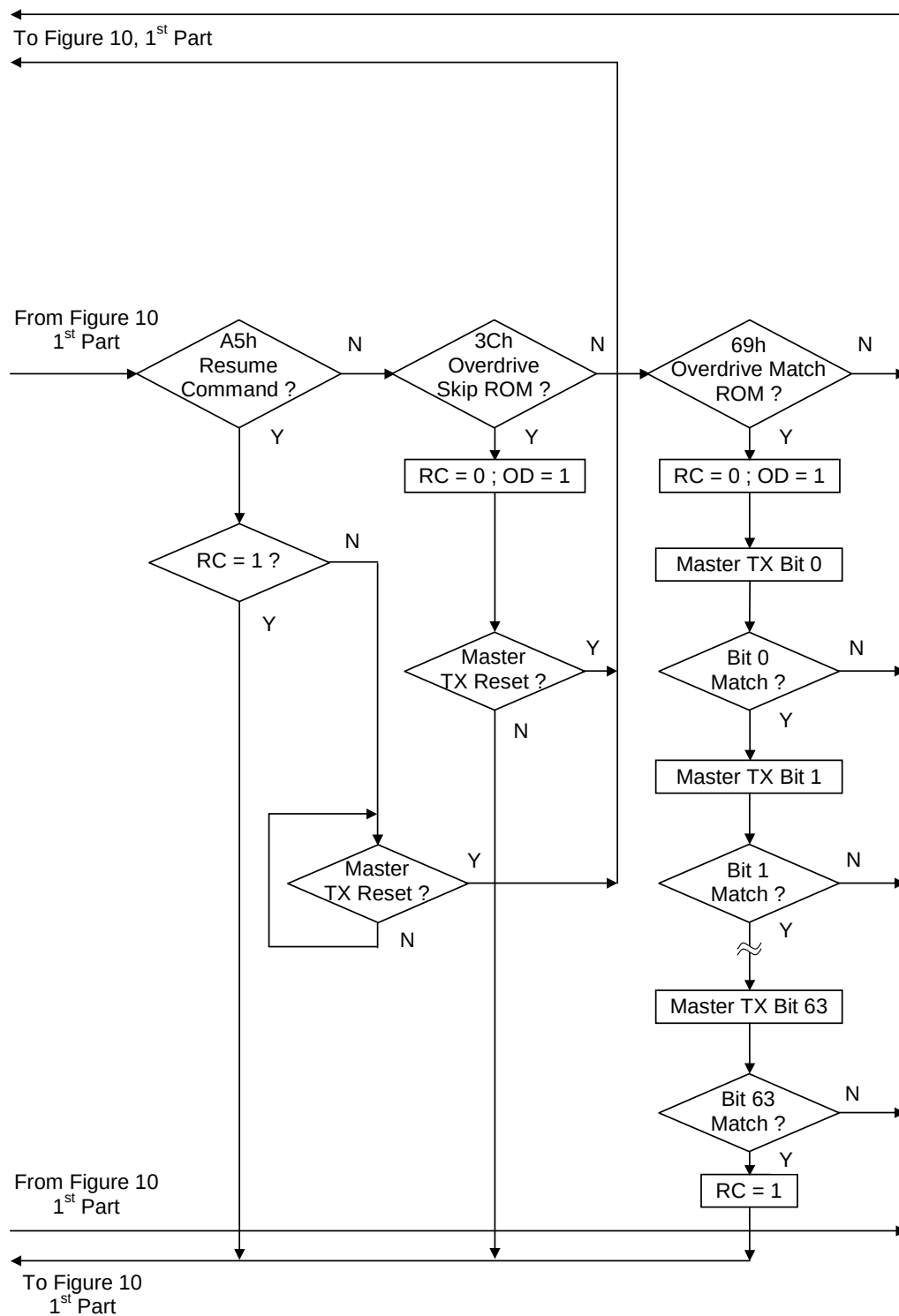


图 10-2. ROM 功能流程图(续)



Resume [A5h]

为了最大程度提高多点环境中的数据吞吐率，系统提供了Resume 功能。此功能检查RC位的状态，如果置位，则直接把控制权交给存储器功能，与Skip ROM 命令类似。RC 的置位只能通过成功地执行Match ROM、Search ROM 或Overdrive Match ROM 命令来实现。一旦RC 置位，即可利用Resume 命令重复访问此器件。访问总线上的其它器件会清除RC 位，以防止两个或更多的从机同时响应Resume 命令。

Overdrive Skip ROM [3Ch]

在单个从机总线上使用该命令时，主机不需要提供64 位ROM 码就可以访问存储器功能，从而节省时间。与通常的Skip ROM 命令不同，Overdrive Skip ROM 命令将DS28E01-100设置为高速模式（OD = 1）。该命令后的所有通信均为高速模式，直到有一个最短持续480 μ s 时间的复位脉冲将总线上的所有器件复位成标准速率（OD = 0）。

如果在多点总线上发送该命令，则总线上所有支持高速模式的器件都被设置成高速模式。随后，为了寻址特定的高速模式器件，必须在高速模式下发出一个复位脉冲，接着运用Match ROM 或Search ROM 命令。这样能够加速搜索过程。如果总线上有多个支持高速模式的从机，而且Overdrive Skip ROM 命令后跟着一条Read 命令，会因多个从机同时发送数据而产生数据冲突（漏极开路输出下拉将产生一个线与结果）。

Overdrive Match ROM [69h]

通过Overdrive Match ROM 命令，后跟以高速模式发送的64 位ROM 地址码，能够使总线主机在多点总线上访问一个特定的DS28E01-100，同时将其设置成高速模式。只有与该64 位ROM 地址码完全匹配的DS28E01-100才会响应后续的存储功能命令或SHA功能命令。已经被前面的Overdrive Skip 或Overdrive Match 命令成功设置成高速模式的从机将继续保持高速模式。所有支持高速模式的从机在下一个持续时间最小为480 μ s的复位脉冲后回到标准速率。Overdrive Match ROM 命令适用于总线上有一个或多个器件的情况。

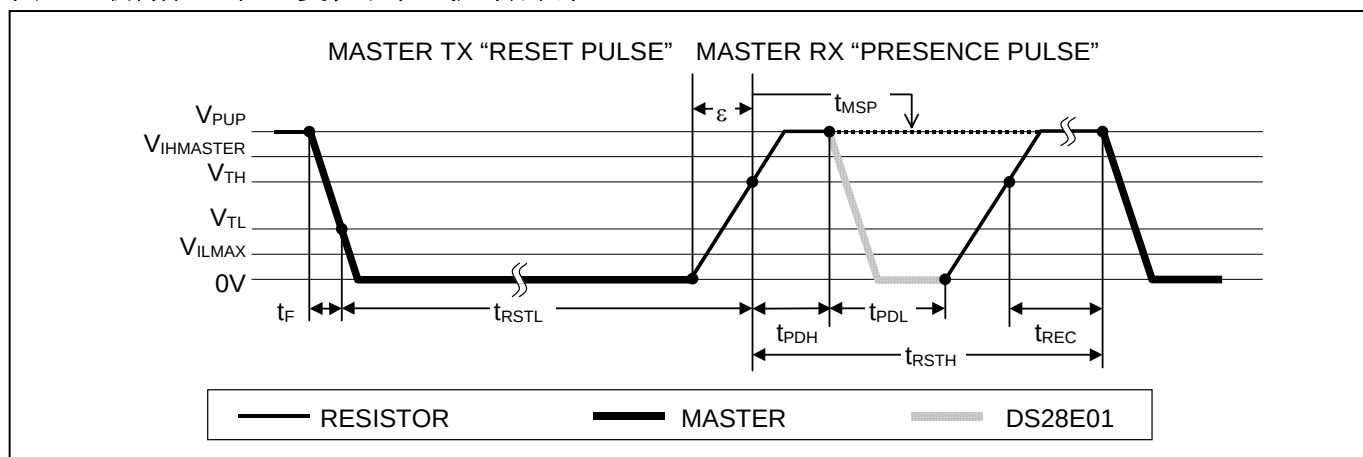
1-Wire 信令

为了保证数据的完整性，DS28E01-100 具有严格的信号协议。该协议在一条线上定义了四种类型的信号：包括复位脉冲和在线应答脉冲的复位序列、写0、写1 和读数据。除在线应答脉冲以外，所有其它信号下降沿均由总线主机发出。DS28E01-100 能够以两种不同速率通信：标准速率和高速模式。如果没有明确设定为高速模式，DS28E01-100 就以标准速率通信。高速模式下，所有波形均采用快速定时。

当从空闲状态被激活时，1-Wire总线上的电压应从 V_{PUP} 降到门限电压 V_{TL} 以下。要从激活状态返回空闲状态，电压应从 V_{ILMAX} 上升至门限电压 V_{TH} 以上。电压上升时间见图10 所示的“ ϵ ”，其持续时间取决于使用的上拉电阻（ R_{PUP} ）和1-Wire 网络的附加电容。电压 V_{ILMAX} 在DS28E01-100判断逻辑电平时，与其有关，且不会触发任何事件。

启动与DS28E01-100的任何通信都需要初始化过程，见图11。复位脉冲后的应答脉冲表明DS28E01-100已经准备就绪，接收数据，即特定的ROM 和存储/控制功能命令。如果主机在下降沿采用摆率控制，则需要将总线电平拉低并保持 $t_{RSTL} + t_F$ 的时间，以补偿下降时间。高速模式下，若 t_{RSTL} 持续480 μ s 或更长时，可将从机恢复到标准速度。如果DS28E01-100处于高速模式并且 t_{RSTL} 不大于80 μ s，则其仍保持高速模式。

图 11. 初始化过程：复位和在线应答脉冲



主机释放总线后进入接收模式。此时1-Wire 总线电平被上拉电阻或DS2482-x00、DS2480B 驱动器等有源电路上拉至 V_{PUP} 。当电平高于门限 V_{TH} 时，DS28E01-100 等待 t_{PDH} 时间，然后通过将总线电平拉低并保持 t_{PDL} 来发送一个应答脉冲。为了检测应答脉冲，主机必须在 t_{MSP} 时段检测1-Wire 总线的逻辑电平。

t_{RSTH} 窗口时间必须至少等于 t_{PDHMAX} ， t_{PDLMAX} 与 t_{RECMIN} 的总和。一旦 t_{RSTH} 结束，DS28E01-100即可开始数据通信。在一个混合的1-Wire网络中，为了兼容其它1-Wire 设备， t_{RSTH} 在标准速度下最小应为480 μs ，在高速模式下最小应为48 μs 。

读/写时隙

与DS28E01-100的数据通信在时隙内进行，每时隙传输一位。写时隙内数据由主机传输到从机。读时隙内数据由从机传输到主机。图11说明了读时隙和写时隙的定义。

所有通信均以主机拉低数据线开始，当1-Wire 总线上的电压降至门限电压 V_{TL} 以下时，DS28E01-100启动内部定时发生器，在写时隙时确定何时采样数据线，在读时隙时确定数据有效的的时间。

图 12. 读/写时序图

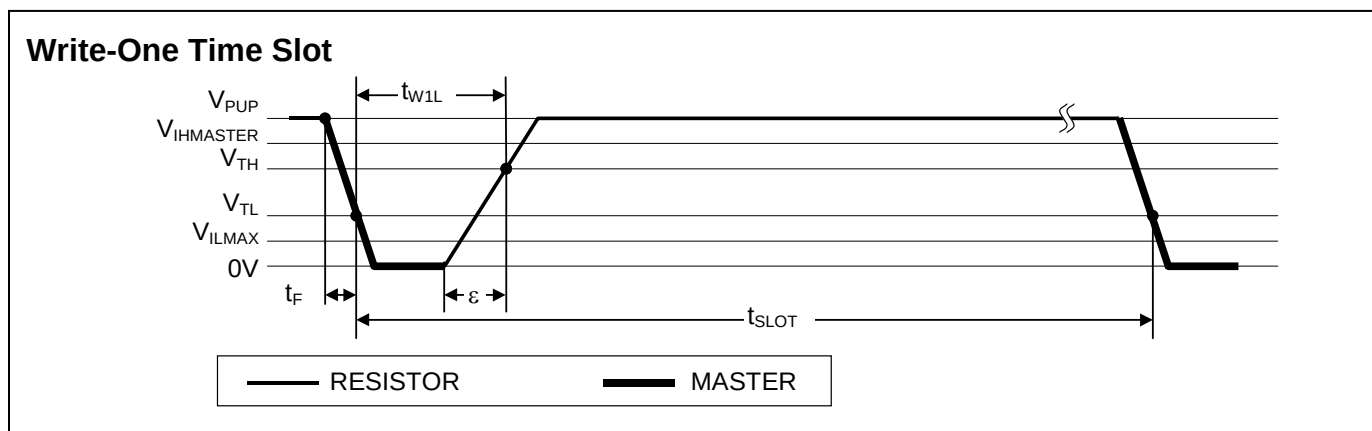
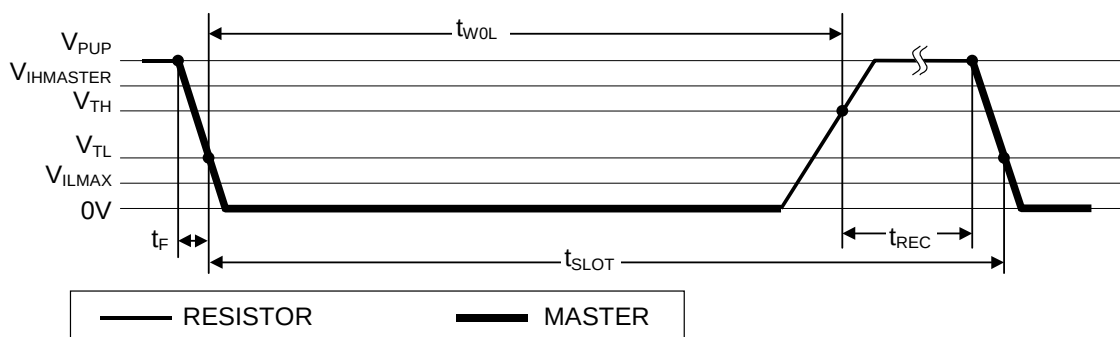
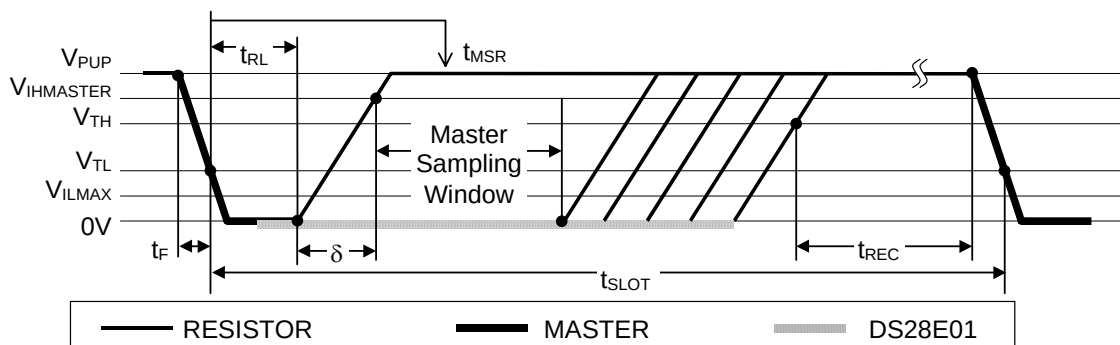


图 12. 读/写时序图（续）

Write-Zero Time Slot**Read-Data Time Slot****主机到从机**

对于“写1”时隙，数据线上的电压必须在“写1”低时间 t_{W1LMAX} 结束前超过门限电压 V_{TH} 。对于“写0”时隙，数据线上的电压在“写0”低时间 t_{W0LMIN} 结束前必须保持低于门限电压 V_{TH} 。为了实现最可靠的通信，数据线上的电压在整个 t_{W0L} 或 t_{W1L} 时间窗口内都不应超过 V_{ILMAX} 。数据线上的电压超过 V_{TH} 后，DS28E01-100在进行下一个时隙前需要一个恢复时间 t_{REC} 。

从机到主机

“读数据”时隙在开始时与写1时隙类似。数据线上的电压在读低时间 t_{RL} 结束前必须保持低于 V_{TL} 。在 t_{RL} 窗口，应答0时，DS28E01-100开始拉低数据线；其内部定时发生器决定何时结束下拉，电平重新开始升高。应答1时，DS28E01-100并不保持数据线的低电平， t_{RL} 一结束，电平即开始上升。

主机采样窗口（ t_{MSRMIN} 到 t_{MSRMAX} ）一方面由 $t_{RL} + \delta$ （上升时间），另一方面由DS28E01-100内部定时发生器决定，主机必须在采样窗口内执行一次数据线读操作。为实现最可靠的通信， t_{RL} 在允许范围内应尽量短，主机应该在接近但不晚于 t_{MSRMAX} 的时间读取数据。从数据线读取数据后，主机必须等待直至 t_{SLOT} 结束。这确保了DS28E01-100在下一个时隙准备就绪前有足够的恢复时间 t_{REC} 。需注意的是，这里指定的 t_{REC} 仅适用于1-Wire总线上只接一个DS28E01-100的情况。在多点总线上，为了适应其它1-Wire器件的输入电容，应延长 t_{REC} 。另外，还可使用DS2482-x00或DS2480B等1-Wire总线驱动器接口器件，在1-Wire恢复时间内进行有源上拉。

改善的网络性能（切换点滞回）

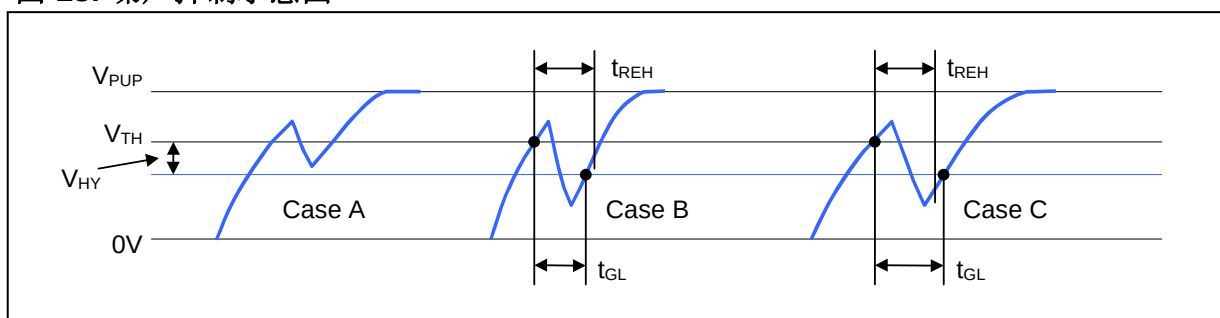
在1-Wire系统中，仅主机（1-Wire驱动器）控制产生的信号瞬变期间可能实现线路终端匹配，因此，1-Wire网络很容易受到其它噪声的影响。根据网络的物理形状大小和拓扑结构的不同，从端点到分支点的反射可能会在一定程度上相互叠加或抵消。如同1-Wire通信线路上的毛刺或振荡一样，这样的反射也是不容忽视的。从外部源耦合到1-Wire线路上的噪声也产生信号毛刺。时隙上升沿时出现的毛刺可能会引起从器件与主机不同步，结果会造成Search ROM命令无效，或导致器件级命令被忽略。为提高网络性能，DS28E01-100采用了一种新型的1-Wire前端，它对噪声的免疫力更强。

DS28E01-100的1-Wire 前端与传统的从机器件相比有3点特性不同。

- 1) 在电路中附加了一个低通滤波器来检测时隙开始时的下降沿。这降低了对高频噪声的敏感度。高速模式下不使用此附加滤波器；
- 2) 在低到高的开关门限 V_{TH} 处设有一个滞回，如果有一个负毛刺低于 V_{TH} 但还没有低于 $V_{TH} - V_{HY}$ ，将不会被承认(图13中的示例A)，滞回在任何1-Wire 速度模式下均有效；
- 3) 该系统设计了一个由上升沿拖尾时间 t_{REH} 定义的时间窗口，在这个窗口内，即使毛刺电压低于了门限 $V_{TH} - V_{HY}$ （图13中的示例B， $t_{GL} < t_{REH}$ ），仍然会被忽略。如果超过这个时间窗口，且毛刺电压或电压低于 V_{TH} 门限，则滤波器就不能滤除这些噪声，将被主机误认为新时隙的开始（见图13中的示例C， $t_{GL} \geq t_{REH}$ ）。

在电气特性中对参数 V_{HY} 及 t_{REH} 做了定义的从器件使用了这种改进的1-Wire前端。

图 13. 噪声抑制示意图



CRC 码的生成

DS28E01-100有两种不同类型的CRC码。一种为8位，在工厂生成并存储在64位ROM的最高有效字节。计算该CRC校验码的等效多项式为： $X^8 + X^5 + X^4 + 1$ 。主机能根据64位ROM码的前56位计算出该CRC码，并与存储在DS28E01-100中的值比较，判断ROM数据是否接收无误。接收到的8位CRC为原码（不取反）形式。该值在工厂计算并被光刻写入ROM中。

另一种CRC校验码为16位，用于存储器和SHA-1功能命令的误码检测。详细信息（包括图14）请参考完整的数据资料。

引脚配置 (续)

12



Bottom View



Side View

SFN, pinout:
Pin 1 ----- IO
Pin 2 ----- GND

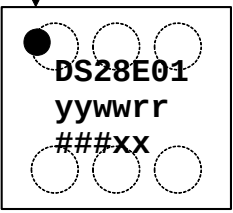
SFN, approx. 6 x 6 x 0.9 mm

Package Outline Drawing [56-00SFN-000](#)

The SFN Package is qualified for electromechanical contact applications only, not for soldering.

引脚配置 (续)

A1 Mark

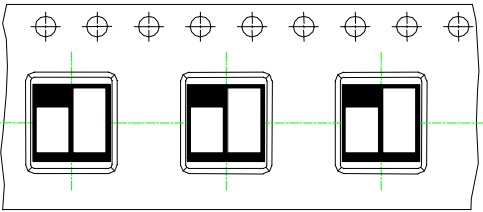


123

μCSP*, Top View with Laser Mark, Contacts Not Visible.
A2 = IO
A3 = GND
All Other Bumps: NC
yywwrr = Date/Revision
###xx = Lot Number

See [21-0093](#), pkg. code B9-8, for package outline.
* Refer to package reliability report for important guidelines on qualified usage conditions.

SFN 封装的卷带定向



User Direction of Feed
Leads face up in orientation shown above.

订购信息 (续)

PART	TEMP RANGE	PIN-PACKAGE
DS28E01X-100	-40 to 85°C	μCSP, 10k pcs, Tape-and-Reel
DS28E01X-100-S	-40 to 85°C	μCSP, 2.5k pcs, Tape-and-Reel

有关 μCSP 封装信息请与工厂联系。

封装信息

(本数据资料的封装图可能不是最新的封装信息，有关封装的最新资料，请访问www.maxim-ic.com.cn/DallasPackInfo。)