

**8 位 MCU
HR7P169**

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海海尔集成电路有限公司

2014 年 2 月 11 日

海尔 MCU 芯片使用注意事项

关于芯片的上/下电

海尔 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其他部件上电；反之，下电时，先对系统其他部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

海尔 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其他保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

海尔 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

海尔 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

海尔 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平并浮空。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

海尔 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、防静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

海尔 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

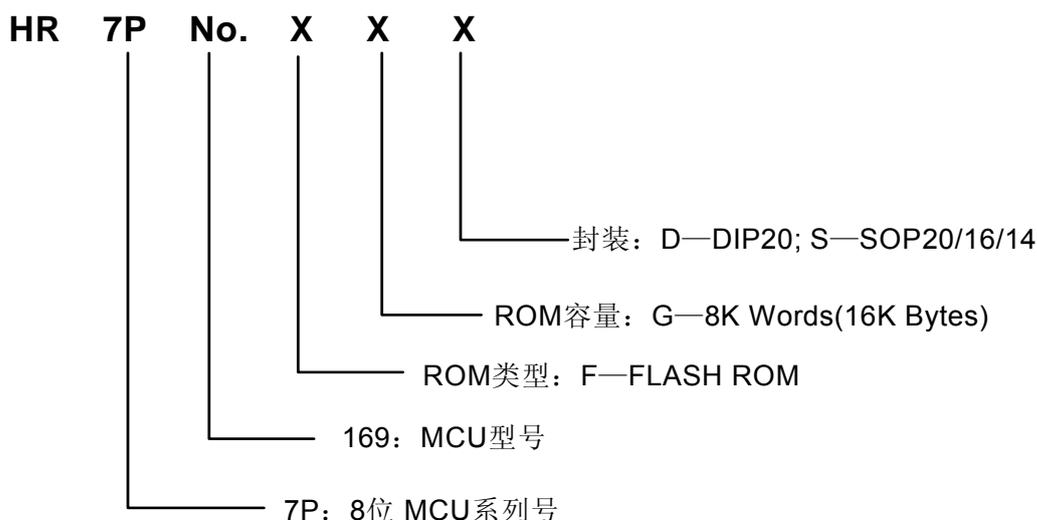
关于芯片的开发环境

海尔 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海海尔集成电路有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海海尔集成电路有限公司联系。

产品订购信息

型号	程序存储区	数据存储器	封装
HR7P169FGD	FLASH: 8K Words	SRAM: 1K Bytes Data FLASH: 2K Words	DIP20
HR7P169FGS			SOP20
HR7P169FGS3			SOP16
HR7P169FGS4			SOP14



地 址: 中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编: 200235

E-mail: support@ichaier.com

电 话: +86-21-60910333

传 真: +86-21-60914991

网 址: <http://www.ichaier.com>

版权所有©

上海海尔集成电路有限公司

本数据手册的信息在发行时是经过核实并且尽最大努力使之精确的。上海海尔集成电路有限公司不为由于使用本数据手册而可能带来的风险或后果负责。手册中的实例仅作为说明用途，上海海尔集成电路有限公司不担保或确认这些实例是合适的、不需进一步修改的、或推荐使用的。上海海尔集成电路有限公司保留不需要通知本数据手册读者而修改本数据手册的权利。如需得到最新的产品信息，请随时用上述联系方式与上海海尔集成电路有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2014-02-11	初版

目 录

内容目录

第 1 章	芯片简介	10
1.1	概述.....	11
1.2	应用领域	13
1.3	结构框图	14
1.4	管脚分配图.....	15
1.4.1	20-pin	15
1.4.2	16-pin	15
1.4.3	14-pin	16
1.5	管脚说明	17
1.5.1	管脚封装对照表	17
1.5.2	管脚复用说明.....	18
第 2 章	内核特性	21
2.1	CPU内核概述.....	21
2.2	系统时钟和机器周期.....	21
2.3	指令集概述.....	21
2.4	硬件乘法器.....	21
2.5	硬件除法器.....	22
2.6	特殊功能寄存器.....	23
第 3 章	存储资源	25
3.1	程序存储器.....	25
3.1.1	概述	25
3.1.2	程序计数器 (PC)	25
3.1.3	硬件堆栈.....	26
3.1.4	程序存储器查表操作	26
3.1.4.1	概述	26
3.1.5	数据FLASH存储器查表操作.....	26
3.1.5.1	概述	26
3.1.5.2	数据FLASH页更新流程.....	27
3.1.5.3	操作参考例程.....	28
3.1.6	特殊功能寄存器	29
3.2	数据存储器.....	30
3.2.1	概述	30
3.2.2	寻址方式.....	31
3.2.2.1	直接寻址	31
3.2.2.2	GPR特殊寻址	31
3.2.2.3	间接寻址	32
3.2.3	特殊功能寄存器地址分配表	33
3.2.4	特殊功能寄存器	36
第 4 章	输入/输出端口	37
4.1	概述.....	37
4.2	结构框图	38

4.3	I/O端口弱上/下拉	38
4.4	I/O端口大电流驱动能力	39
4.5	I/O端口开漏输出	39
4.6	外部按键中断 (KINT)	39
4.7	外部端口中断 (PINT)	40
4.8	特殊功能寄存器	40
第 5 章	外设	44
5.1	定时器/计数器模块 (Timer/Counter)	44
5.1.1	8 位定时器/计数器 (T8N)	44
5.1.1.1	概述	44
5.1.1.2	内部结构图	44
5.1.1.3	工作模式	44
5.1.1.4	预分频器	45
5.1.1.5	中断标志	45
5.1.1.6	特殊功能寄存器	45
5.1.2	8 位 EPWM 时基定时器 (T8P1/T8P2/T8P3)	47
5.1.2.1	概述	47
5.1.2.2	内部结构图	47
5.1.2.3	预分频器和后分频器	48
5.1.2.4	工作模式	48
5.1.2.5	定时器模式	48
5.1.2.6	标准 PWM 模式	49
5.1.2.7	增强型 PWM 模式	50
5.1.2.8	EPWM 自动关断和重启	52
5.1.2.9	PWM 输出沿启动 AD 转换	53
5.1.2.10	特殊功能寄存器	53
5.2	通用异步接收/发送器 (UART)	58
5.2.1	概述	58
5.2.2	内部结构图	58
5.2.3	波特率配置	58
5.2.4	传输数据格式	58
5.2.5	异步发送器	59
5.2.6	异步接收器	59
5.2.7	特殊功能寄存器	60
5.3	I2C 总线从动器 (I2CS)	63
5.3.1	概述	63
5.3.2	I2CS 端口配置	63
5.3.3	通讯协议	63
5.3.4	数据传输格式参考	64
5.3.5	特殊功能寄存器	65
5.4	模拟比较器及可编程脉冲发生器 (PPG)	69
5.4.1	概述	69
5.4.2	内部结构图	69
5.4.3	中断标志	69

5.4.4	可编程脉冲发生器 (PPG)	70
5.4.5	模拟比较器 1	71
5.4.6	故障检测寄存器CMFTx	71
5.4.7	模拟比较器 2	71
5.4.8	模拟比较器 3	71
5.4.9	模拟比较器 4	71
5.4.10	模拟比较器 5	72
5.4.11	PPG输出	72
5.4.11.1	操作参考例程	73
5.4.12	PPG启动AD转换	73
5.4.13	运算放大器应用	73
5.4.14	内部参考电压模块	74
5.4.15	控制寄存器	74
5.5	模/数转换器 (ADC)	81
5.5.1	概述	81
5.5.2	内部结构图	81
5.5.3	AD通道选择	82
5.5.4	AD时序特征示意图	82
5.5.5	参考例程	83
5.5.6	特殊功能寄存器	83
第 6 章	特殊功能及操作特性	87
6.1	系统时钟与振荡器	87
6.1.1	概述	87
6.1.2	晶体/陶瓷振荡器模式 (HS、XT模式)	87
6.1.3	内部时钟模式 (INTOSC和INTOSCIO)	88
6.1.4	特殊功能寄存器	88
6.2	看门狗定时器 (WDT)	89
6.2.1	概述	89
6.2.2	内部结构图	89
6.2.3	特殊功能寄存器	90
6.3	复位模块	91
6.3.1	概述	91
6.3.2	复位时序图	91
6.3.3	N_MRST复位参考	92
6.3.4	特殊功能寄存器	93
6.4	中断处理	94
6.4.1	概述	94
6.4.2	中断模式配置	94
6.4.3	中断逻辑表	95
6.4.4	向量中断模式	96
6.4.4.1	向量表配置	96
6.4.4.2	中断分组配置	96
6.4.4.3	中断使能配置	97
6.4.5	特殊功能寄存器	98

6.5	低功耗操作.....	104
6.5.1	MCU低功耗模式.....	104
6.5.2	低功耗模式配置.....	104
6.5.3	IDLE唤醒方式配置.....	105
6.5.4	唤醒时间计算.....	105
6.5.5	特殊功能寄存器.....	106
6.6	芯片配置字.....	107
第7章	芯片封装图.....	108
7.1	20-pin 封装图.....	108
7.2	16-pin 封装图.....	110
7.3	14-pin 封装图.....	111
附录1	指令集.....	112
附录 1.1	概述.....	112
附录 1.2	寄存器操作指令.....	112
附录 1.3	程序控制指令.....	113
附录 1.4	算术/逻辑运算指令.....	114
附录2	特殊功能寄存器总表.....	116
附录3	电气特性.....	120
附录 3.1	参数特性表.....	120
附录 3.2	参数特性图.....	124

图目录

图 1-1	HR7P169 结构框图	14
图 1-2	HR7P169 (DIP20/SOP20) 顶视图	15
图 1-3	HR7P169 (SOP16) 顶视图	15
图 1-4	HR7P169 (SOP14) 顶视图	16
图 2-1	硬件乘法器内部结构图	21
图 2-2	硬件除法器内部结构图	22
图 3-1	程序区地址映射和堆栈示意图	25
图 3-2	页更新参考流程图	27
图 3-3	直接寻址示意图	31
图 3-4	GPR特殊寻址示意图	31
图 3-5	间接寻址示意图	32
图 4-1	输入/输出端口结构图	38
图 5-1	T8N内部结构图	44
图 5-2	T8Px内部结构图	47
图 5-3	标准PWM模式示意图	49
图 5-4	标准PWM输出示意图	50
图 5-5	EPWM单桥输出示意图	51
图 5-6	EPWM半桥输出示意图	51
图 5-7	EPWM关断与自动重启 (PRESN=1)	52
图 5-8	EPWM关断与重启 (PRESN=0)	53
图 5-9	UART内部结构图	58
图 5-10	UART数据格式示意图	58
图 5-11	UART发送器操作流程图	59
图 5-12	UART接收器操作流程图	60
图 5-13	I2C总线通讯协议示意图	63
图 5-14	主控器写入从动器数据示意图	64
图 5-15	主控器读取从动器数据示意图	64
图 5-16	模拟比较器工作示意图	69
图 5-17	比较器ACPx中断产生示意图	70
图 5-18	PPG内部结构图	70
图 5-19	PPG输出波形示意图	72
图 5-20	运放应用示意图	74
图 5-21	ADC内部结构图	81
图 5-22	ADC时序特征示意图 (SMPS=1)	82
图 6-1	系统时钟内部结构图	87
图 6-2	晶体/陶瓷振荡器模式 (HS、XT模式)	87
图 6-3	看门狗定时器内部结构图	89
图 6-4	芯片复位原理图	91
图 6-5	上电复位时序示意图	91
图 6-6	低电压复位时序示意图	91
图 6-7	N_MRST复位参考电路图 1	92
图 6-8	N_MRST复位参考电路图 2	92
图 6-9	中断控制逻辑	94

表目录

表 1-1	管脚封装对照表	17
表 1-2	管脚说明	19
表 3-1	数据区地址映射示意图	30
表 4-1	I/O端口弱上拉	38
表 4-2	I/O端口弱下拉	38
表 4-3	I/O端口大电流驱动能力	39
表 4-4	I/O端口开漏输出	39
表 4-5	外部按键中断	39
表 4-6	外部端口中断	40
表 5-1	T8N工作模式配置表	44
表 5-2	T8N预分频器配置表	45
表 5-3	T8Px后分频器配置表	48
表 5-4	T8Px预分频器配置表	48
表 5-5	T8Px工作模式配置表	48
表 5-6	UART波特率配置表	58
表 5-7	AD通道配置表	82
表 6-1	晶体振荡器电容参数参考表	88
表 6-2	中断处理模式配置表	94
表 6-3	中断逻辑表（默认中断模式）	95
表 6-4	向量表配置表	96
表 6-5	中断向量分组表	96
表 6-6	向量中断模式使能配置表	97
表 6-7	低功耗模式配置表	104
表 6-8	唤醒时间计算表	105
表 6-9	唤醒时间计算表	105

第 1 章 芯片简介

1.1 概述

- ◆ 内核
 - ◇ HR7P RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 系统时钟工作频率最高为 16MHz
 - ◇ 指令周期为 2 个系统时钟周期
 - ◇ 复位向量位于 0000_H，默认中断向量位于 0004_H
 - ◇ 支持中断处理，支持中断优先级和中断向量表
- ◆ 存储资源
 - ◇ 8K Words FLASH 程序存储器
 - ◇ 8 级程序堆栈
 - ◇ 2K Words FLASH 数据存储器
 - 共分为 4 页，支持页擦写
 - 擦写时，支持定时器模块正常工作
 - 擦写时，不支持中断处理
 - ◇ 1K Bytes SRAM 数据存储器
 - ◇ 程序存储器支持直接寻址、相对寻址和查表读操作
 - ◇ 数据存储器支持直接寻址、GPR 特殊寻址和间接寻址
- ◆ I/O 端口
 - ◇ 最多支持 17 个 I/O
 - PA 端口 (PA0~PA1, PA3~PA7)
 - PB 端口 (PB0~PB7)
 - PC 端口 (PC0~PC1)
 - ◇ 支持 2 个外部端口中断 PINT (PINT0~PINT1 为输入端)
 - ◇ 支持 4 个外部按键中断 KINT (KIN0~KIN3 为输入端)
 - ◇ 支持独立的可配置内部弱上/下拉输入端口
 - 输入端口上/下拉电阻的匹配精度为±30%以内
 - 支持 17 个独立可配置弱上/下拉输入端口
 - ◇ 支持 7 个独立的可配置大电流驱动能力端口
- ◆ 复位及时钟
 - ◇ 内嵌上电复位电路 POR
 - ◇ 内嵌掉电复位电路 BOR
 - ◇ 支持外部复位
 - ◇ 支持独立硬件看门狗定时器
 - ◇ 支持外部 HS/XT 振荡时钟源

- ◇ 支持内部高频 16MHz RC 振荡时钟源
 - 出厂前校准精度为 $\pm 2\%$ （常温 25℃）
- ◆ 外设
 - ◇ 8 位定时器 T8N
 - 定时器模式（系统时钟）/计数器模式（外部计数时钟输入）
 - 支持可配置预分频器
 - 支持中断产生
 - ◇ 8 位时基定时器 T8P1/T8P2/T8P3
 - 定时器模式（系统时钟）
 - 支持可配置预分频器及可配置后分频器
 - 支持 3 组带死区互补输出的增强型脉宽调制（EPWM）输出扩展功能
 - 支持外部端口关断 EPWM 输出
 - 支持模拟比较器输出关断 EPWM 输出
 - 支持 EPWM 自动重启
 - 支持中断产生
 - ◇ 模拟数字转换器 ADC
 - 支持 12 位数字转换精度
 - 支持 15 通道模拟输入端
 - 支持可选择参考源
 - 支持参考电压程序校准修正，校准精度在 $\pm 2\%$ 以内（常温 25℃）
 - 支持中断产生
 - 支持 PPG 沿启动 AD 转换
 - ◇ 模拟比较器 ACP 及 PPG 模块
 - 支持 5 个模拟比较器，支持中断产生
 - 支持多个比较器输入端可选
 - 支持比较器故障检测输出关闭或调整 PPG
 - 支持定时故障检测调整 PPG
 - ◇ 运算放大器 OP 模块
 - 支持零点电压检测
 - 偏置电压小于 3mV
 - ◇ 一个高精度参考电压源
 - 支持程序校准修正，校准精度在 $\pm 2\%$ 以内（常温 25℃）
 - 支持校准电压 2.6V 输出
 - 支持两路参考电压输出
 - 支持多种参考电压可选
 - ◇ 一路高速异步收发器 UART
 - 支持异步全双工收发
 - 支持 8 位/9 位数据格式
 - 约定从最低位接收/发送
 - 支持中断产生
 - ◇ 一路 I2C 总线
 - 只支持从动模式

- 支持标准 I2C 总线协议，最高传输率 400Kbit/s
- 支持 7 位寻址方式
- 支持中断产生
- ◆ 功耗特性
 - ◇ IDLE 电流
 - 16uA@3.0V, 25°C, 典型值
 - ◇ 动态电流
 - 2mA@内部 16MHz, 5.0V, 25°C, 典型值
- ◆ 编程及调试接口
 - ◇ 支持在线编程 (ISP) 接口
 - ◇ 支持在线调试 (ICD) 功能
 - ◇ 支持编程代码加密保护
- ◆ 设计工艺及封装
 - ◇ 低功耗、高速 FLASH CMOS 工艺
 - ◇ 20 个管脚，采用 DIP/SOP 封装 (HR7P169FGD/S)
 - ◇ 16 个管脚，采用 SOP 封装 (HR7P169FGS3)
 - ◇ 14 个管脚，采用 SOP 封装 (HR7P169FGS4)
- ◆ 工作条件
 - ◇ 工作电压范围：3.0V ~ 5.5V
 - ◇ 工作温度范围：-40 ~ 85°C

1.2 应用领域

本芯片可用于电磁炉主控和电机驱动产品等领域。

1.3 结构框图

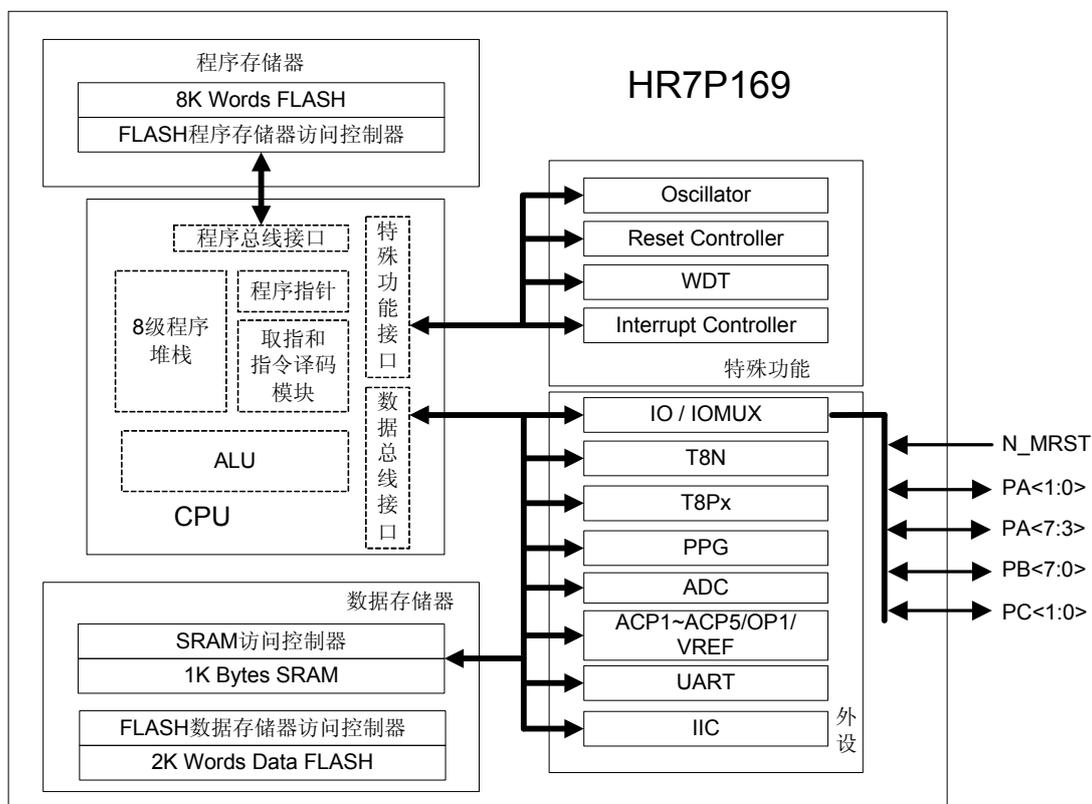


图 1-1 HR7P169 结构框图

1.4 管脚分配图

1.4.1 20-pin

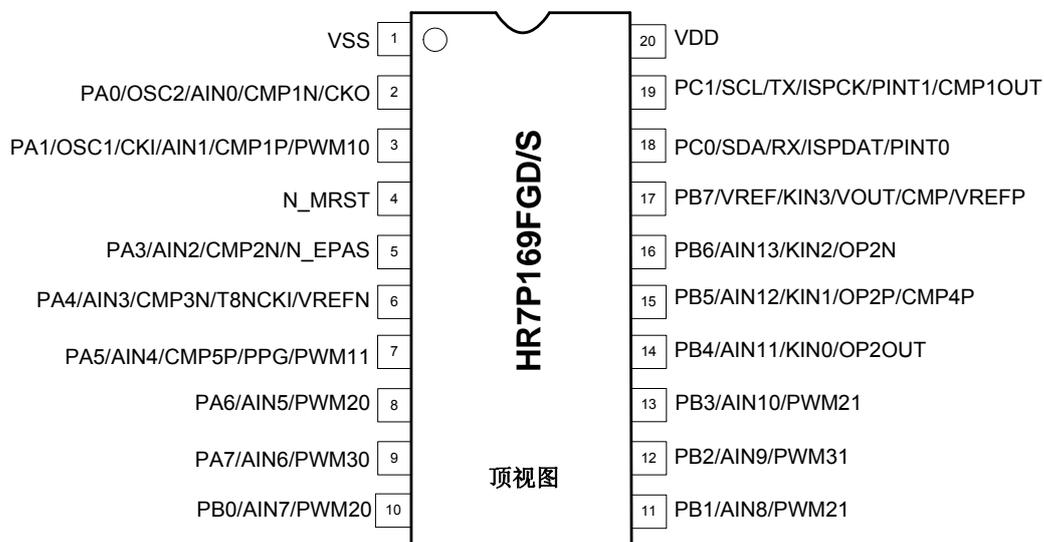


图 1-2 HR7P169 (DIP20/SOP20) 顶视图

1.4.2 16-pin

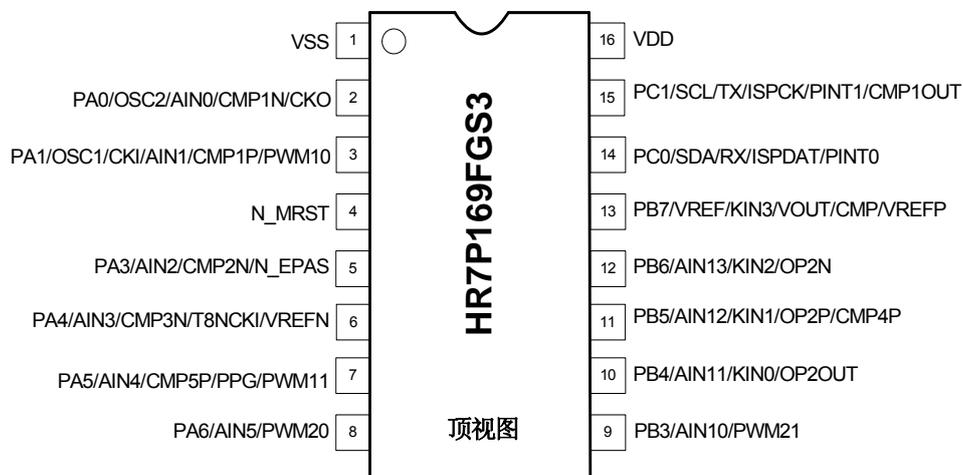


图 1-3 HR7P169 (SOP16) 顶视图

1.4.3 14-pin

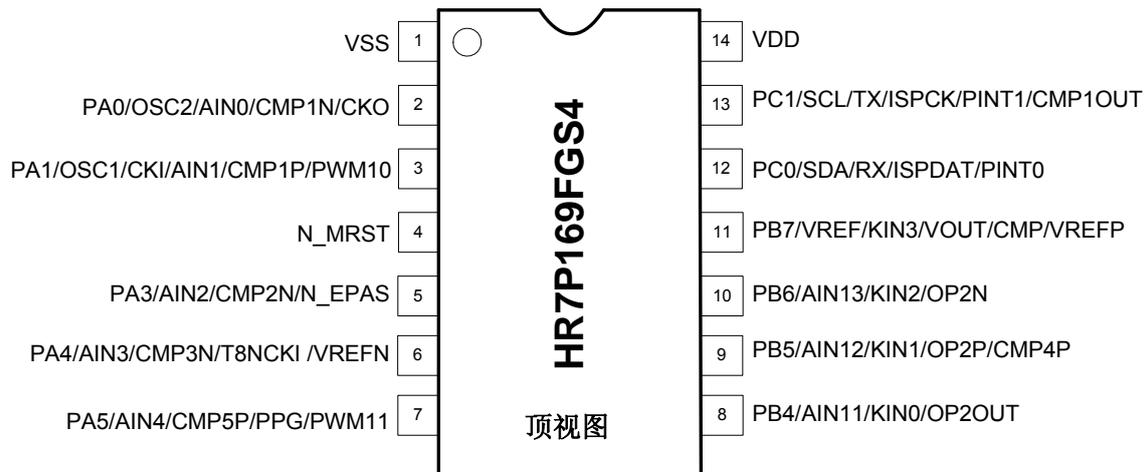


图 1-4 HR7P169 (SOP14) 顶视图

注 1: N_MRST、N_EPAS 表示低电平有效;

注 2: T8P2 的 PWM20、PWM21 输出端口可软件配置。

1.5 管脚说明

1.5.1 管脚封装对照表

管脚名	HR7P169		
	20pin	16pin	14pin
PA0/OSC2/AIN0/CMP1N/CKO	2	2	2
PA1/OSC1/CKI/AIN1/CMP1P/PWM10	3	3	3
PA3/AIN2/CMP2N/N_EPAS	5	5	5
PA4/AIN3/CMP3N/T8NCKI/VREFN	6	6	6
PA5/AIN4/CMP5P/PPG/PWM11	7	7	7
PA6/AIN5/PWM20	8	8	/
PA7/AIN6/PWM30	9	/	/
PB0/AIN7/PWM20	10	/	/
PB1/AIN8/PWM21	11	/	/
PB2/AIN9/PWM31	12	/	/
PB3/AIN10/PWM21	13	9	/
PB4/AIN11/KIN0/OP2OUT	14	10	8
PB5/AIN12/KIN1/OP2P/CMP4P	15	11	9
PB6/AIN13/KIN2/OP2N	16	12	10
PB7/VREF/KIN3/VOUT/CMP/VREFP	17	13	11
PC0/SDA/RX/ISPDAT/PINT0	18	14	12
PC1/SCL/TX/ISPCK/PINT1/CMP1OUT	19	15	13
N_MRST	4	4	4
VDD	20	16	14
VSS	1	1	1

表 1-1 管脚封装对照表

1.5.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/OSC2/AIN0/CMP1N/ CKO	PA0	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	OSC2	A	晶振/谐振器引脚 2	
	AIN0	A	ADC 模拟通道 0 输入	
	CMP1N	A	比较器 1 负向输入	
	CKO	D	Fosc/16 参考时钟输出	
PA1/OSC1/CKI/AIN1/CMP 1P/PWM10	PA1	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	OSC1	A	晶振/谐振器引脚 1	
	CKI	A/D	系统时钟输入	
	AIN1	A	ADC 模拟通道 1 输入	
	CMP1P		比较器 1 正向输入	
	PWM10	D	T8P1 扩展脉宽调制输出	
N_MRST	N_MRST	-	外部复位输入	弱上拉使能
PA3/AIN2/CMP2N/N_ EPAS	PA3	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	AIN2	A	ADC 模拟通道 2 输入	
	CMP2N	A	模拟比较器 2 负向输入	
	N_EPAS	D	关断事件输入	
PA4/AIN3/CMP3N/T8 NCKI/VREFN	PA4	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	AIN3	A	ADC 模拟通道 3 输入	
	CMP3N	A	模拟比较器 3 负向输入	
	T8NCKI	D	T8N 外部时钟输入端	
	VREFN	A	ADC 外部参考负输入	
PA5/AIN4/CMP5P/PP G/PWM11	PA5	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	AIN4	A	ADC 模拟通道 4 输入	
	PWM11	D	T8P1 扩展互补脉宽调制输出	
	CMP5P	A	模拟比较器 5 正向输入	
	PPG	D	PPG 输出	
PA6/AIN5/PWM20	PA6	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	AIN5	A	ADC 模拟通道 5 输入	
	PWM20	D	T8P2 扩展脉宽调制输出	
PA7/AIN6/PWM30	PA7	D	通用 I/O	支持大电流/ 弱上、下拉/ 开漏输出
	PWM30	D	T8P3 扩展脉宽调制输出	
	AIN6	A	ADC 模拟通道 6 输入	
PB0/AIN7/PWM20	PB0	D	通用 I/O	支持弱上、下拉/ 开漏输出；
	AIN7	A	ADC 模拟通道 7 输入	
	PWM20	D	T8P2 扩展脉宽调制输出	
PB1/AIN8/PWM21	PB1	D	通用 I/O	支持弱上、下拉/ 开漏输出；
	AIN8	A	ADC 模拟通道 8 输入	
	PWM21	D	T8P2 扩展互补脉宽调制输出	

【续 1】

管脚名	管脚复用	A/D	端口说明	备注
PB2/AIN9/PWM31	PB2	D	通用 I/O	支持弱上、下拉/ 开漏输出
	AIN9	A	ADC 模拟通道 9 输入	
	PWM31	D	T8P3 扩展互补脉宽调制输出	
PB3/AIN10/PWM21	PB3	D	通用 I/O	支持弱上、下拉/ 开漏输出
	AIN10	A	ADC 模拟通道 10 输入	
	PWM21	D	T8P2 扩展互补脉宽调制输出	
PB4/AIN11/KIN0/OP2OUT	PB4	D	通用 I/O	支持弱上、下拉/ 开漏输出
	AIN11	A	ADC 模拟通道 11 输入	
	KIN0	D	外部按键中断 0 输入	
	OP2OUT	D	运放输出	
PB5/AIN12/KIN1/OP2P/CMP4P	PB5	D	通用 I/O	支持弱上、下拉/ 开漏输出
	AIN12	A	ADC 模拟通道 12 输入	
	KIN1	D	外部按键中断 1 输入	
	OP2P	A	运放正端输入	
	CMP4P	A	模拟比较器 4 正向输入	
PB6/AIN13/KIN2/OP2N	PB6	D	通用 I/O	支持弱上、下拉/ 开漏输出
	AIN13	A	ADC 模拟通道 13 输入	
	KIN2	D	外部按键中断 2 输入	
	OP2N	A	运放负端输入	
PB7/VREF/KIN3/VOOUT/CMP/VREFP	PB7	D	通用 I/O	支持弱上、下拉/ 开漏输出
	VREF	A	外部参考电压输入	
	KIN3	D	外部按键中断 3 输入	
	VOOUT	D	内部参考电压输出	
	CMP	A	比较器输入公共端	
	VREFP	A	ADC 外部参考电压正输入	
PC0/SDA/RX/ISPDAT/PINT0	PC0	D	通用 I/O	支持弱上、下拉/ 开漏输出
	SDA	D	I2C 数据输入/输出	
	RX	D	UART 接收输入	
	ISPDAT	D	ISP 串行数据输入/输出	
	PINT0	D	外部端口中断 0 输入	
PC1/SCL/TX/ISPCK/PINT1/CMP1OUT	PC1	D	通用 I/O	支持弱上、下拉/ 开漏输出
	SCL	D	I2C 时钟输入	
	TX	D	UART 发送输出	
	ISPCK	D	ISP 串行时钟输入	
	PINT1	D	外部端口中断 1 输入	
	CMP1OUT	D	模拟比较器 1 输出	
VDD	VDD	-	电源	
VSS	VSS	-	地, 0V 参考点	

表 1-2 管脚说明

注 1: A = 模拟, D = 数字;

注 2: N_MRST, N_EPAS 表示低电平有效;

注 3: T8P2 的 PWM20、PWM21 输出端口可软件配置;

第 2 章 内核特性

2.1 CPU内核概述

- ◆ 内核特性
 - ◇ HR7P RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 系统时钟工作频率最高为 16MHz
 - ◇ 机器周期为 2 个系统时钟周期
 - ◇ 支持中断处理，共 17 个中断源，支持中断向量表

2.2 系统时钟和机器周期

本芯片系统时钟频率最高支持 16MHz。通过片内时钟生成器产生两个不重叠的正交时钟 phase1 (p1)，phase2 (p2)。两个不重叠的正交时钟组成一个机器周期。

2.3 指令集概述

本芯片采用 7P 系列 79 条精简指令集系统。

除了部分条件跳转与控制程序流程的指令为双（机器）周期指令，其他指令均为单（机器）周期指令。若芯片系统时钟频率为 4MHz，一个机器周期的时间为 500ns。

具体指令集请参考《附录 指令集》。

2.4 硬件乘法器

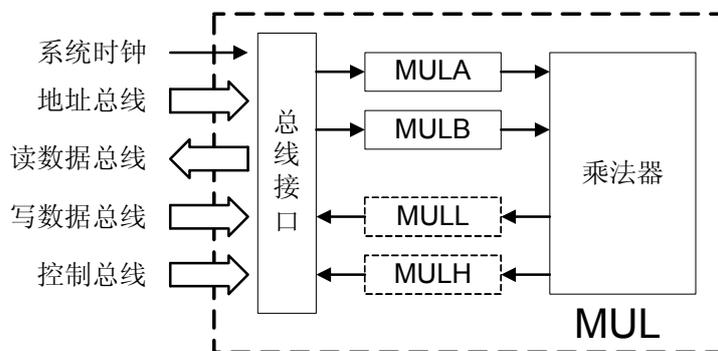


图 2-1 硬件乘法器内部结构图

硬件乘法器： $[8 \text{ 位乘数 } A] \times [8 \text{ 位乘数 } B] = 16 \text{ 位乘积}$ 。

通过 MULA 寄存器设置乘数 A，通过 MULB 寄存器设置乘数 B，这两个寄存器只能被写入，无法被读取。运算的乘积存入 MULL 和 MULH 寄存器中，这两个寄存器只能被读取，无法被写入。MULA 和 MULL 共用一个寄存器地址，MULB 和 MULH 共用一个寄存器地址。被乘数和乘数设置完成后，下一条指令即可读取乘积结果。

2.5 硬件除法器

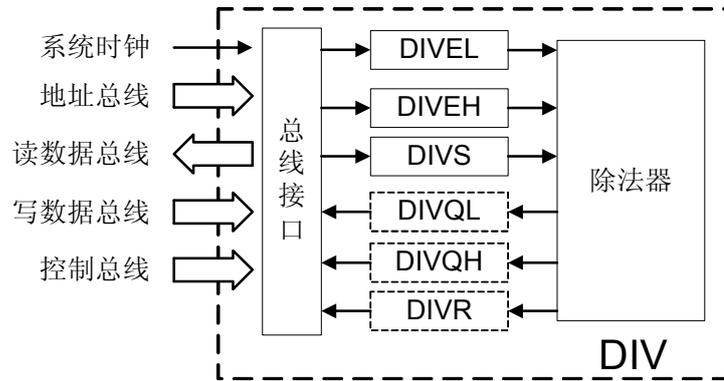


图 2-2 硬件除法器内部结构图

硬件除法器：16 位被除数 / 8 位除数 = 16 位商和 8 位余数。

通过 DIVEH 和 DIVEL 寄存器设置被除数，通过 DIVS 寄存器设置除数。这三个寄存器只能被写入，无法被读取。运算的商存入 DIVQH 和 DIVQL 寄存器中，余数存入 DIVR 寄存器中。这三个寄存器只能被读取，无法被写入。DIVEL 和 DIVQL 共用一个寄存器地址，DIVEH 和 DIVQH 共用一个寄存器地址，DIVS 和 DIVR 共用一个寄存器地址。被除数和除数设置完成后，需要插入 2 条 NOP 指令，才能读取商和余数。若除数为“0”，则商为 0xFFFF，余数为 0xFF，表示溢出。

2.6 特殊功能寄存器

寄存器名称		程序状态字寄存器 (PSW)	
地址	FF84 _H		
复位值	x00x xxxx		
C	bit0	R/W	全进位或全借位标志位 0: 无进位或有借位 1: 有进位或无借位
DC	bit1	R/W	半进位或半借位标志位 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
Z	bit2	R/W	零标志位 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
OV	bit3	R/W	溢出标志位 0: 有符号算术运算未发生溢出 1: 发生溢出
N	bit4	R/W	负数标志位 0: 有符号算术或逻辑运算结果为正数 1: 结果为负数
OF	bit5	R	程序压栈溢出标志位 0: 程序压栈未溢出 1: 程序压栈溢出
UF	bit6	R	程序出栈溢出标志位 0: 程序出栈未溢出 1: 程序出栈溢出
-	bit7	-	-

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作, 只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位、复位指令和 N_MRST 复位会将其清零, 其他复位不影响该两位标志位。

寄存器名称		A 寄存器 (AREG)	
地址	FF85 _H		
复位值	xxxx xxxx		
A<7:0>	bit7-0	R/W	A 寄存器<7:0>

寄存器名称		程序计数器<7:0> (PCRL)	
地址	FF86 _H		
复位值	0000 0000		
PCRL<7:0>	bit7-0	R/W	程序计数器低 8 位

寄存器名称		程序计数器<15:8> (PCRH)	
地址		FF87 _H	
复位值		0000 0000	
PCRH<4:0>	bit4-0	R/W	程序计数器高 5 位
-	bit7-5	-	-

寄存器名称		乘数 A 寄存器 (MULA) / 乘积低 8 位寄存器 (MULL)	
地址		FF88 _H	
复位值		xxxx xxxx	
MULA<7:0>	bit7-0	W	乘数 A
MULL<7:0>		R	乘积低 8 位

寄存器名称		乘数 B 寄存器 (MULB) / 乘积高 8 位寄存器 (MULH)	
地址		FF89 _H	
复位值		xxxx xxxx	
MULB<7:0>	bit7-0	W	乘数 B
MULH<7:0>		R	乘积高 8 位

寄存器名称		被除数低 8 位寄存器 (DIVEL) / 商低 8 位寄存器 (DIVQL)	
地址		FF8A _H	
复位值		xxxx xxxx	
DIVEL<7:0>	bit7-0	W	被除数低 8 位
DIVQL<7:0>		R	商低 8 位

寄存器名称		被除数高 8 位寄存器 (DIVEH) / 商高 8 位寄存器 (DIVQH)	
地址		FF8B _H	
复位值		xxxx xxxx	
DIVEH<7:0>	bit7-0	W	被除数高 8 位
DIVQH<7:0>		R	商高 8 位

寄存器名称		除数寄存器 (DIVS) / 余数寄存器 (DIVR)	
地址		FF8C _H	
复位值		xxxx xxxx	
DIVS<7:0>	bit7-0	W	除数
DIVR<7:0>		R	余数

第 3 章 存储资源

3.1 程序存储器

3.1.1 概述

HR7P169 程序存储器为 8K Words FLASH，程序寻址空间为 0000H~1FFFH。

寻址超出地址范围就会导致 PC 循环。

复位向量位于 0000_H，默认中断向量入口地址位于 0004_H。

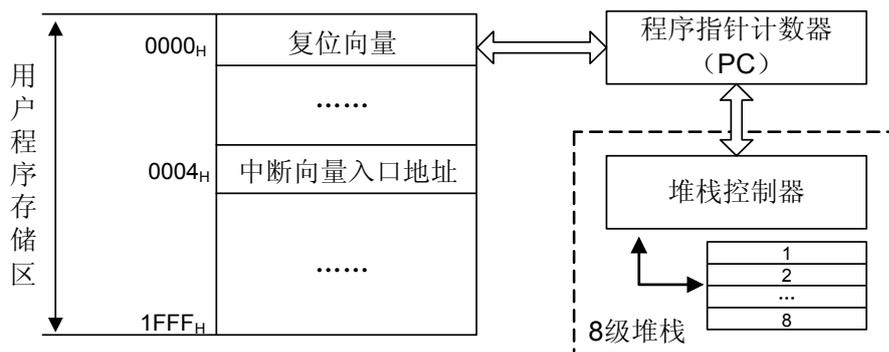


图 3-1 程序区地址映射和堆栈示意图

3.1.2 程序计数器 (PC)

HR7P169 是 13 位程序计数器 PC<12:0>，最大可寻址 8K Words 程序存储空间 0000H ~ 1FFFH，超出地址范围会导致 PC 循环（又从 0000H 开始访问）。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写，而 PC 高 5 位不能直接读写，只能通过 PCRH 寄存器来间接赋值。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注：各种指令对 PC 的影响：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<12:8>=PCRH<4:0>，因此，修改 PC 时，应先修改 PCRH<4:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<12:8>=PCRH<4:0>。
3. 执行 CALL, GOTO 指令时，PC<12:0>低 11 位为指令中 11 位立即数，而 PC<12>=PCRH<4>。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<12:0>被修改为该 16 位立即数的值的低 13 位；同时 PCRH<4:0>被修改为 I<12:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<12:0> 被修改为该 16 位立即数的值的低 13 位，同时 PCRH<4:0>修改为 I<12:8>的值。
6. 执行 PAGE 指令时，PCRH<4:3>的值将被该指令的立即数 I<1:0>替换。
7. 执行其他指令时，PC 值自动加 1。

3.1.3 硬件堆栈

芯片内有 8 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 和 RCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

硬件堆栈只支持 8 级缓冲操作，即硬件堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。

3.1.4 程序存储器查表操作

3.1.4.1 概述

程序存储器只支持查表读操作，通过查表读指令将 FRA (FRAH, FRAL) 所指向的程序存储器地址中的一个字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

3.1.5 数据FLASH存储器查表操作

3.1.5.1 概述

数据 FLASH 存储器，共 4 页，每页 1K 字节，可支持查表读和擦写操作，地址范围为 4000_H~47FF_H。

查表读操作通过查表读指令将 FRA (FRAH, FRAL) 所指向的地址单元中的一个字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

擦写操作需通过存储器控制寄存器 (ROMCH, ROMCL) 共同完成。包括三个基本操作：数据备份，页擦除，字编程。当用户擦除程序存储区时，数据 FLASH 存储器空间也全部擦除。

数据 FLASH 存储器的擦除以页为单位，通过存储器控制寄存器 (ROMCH, ROMCL) 可将 FRA 所指向的页擦除。每页擦除时间至少为 2ms。

字编程将 ROMD (ROMDH, ROMDL) 寄存器中的 16 位值写入 FRA 所指向的地址单元。单个地址编程时间至少为 20us。

芯片配置字寄存器 CFG_WD<9> (FREN) 为查表操作的使能位，若 FREN 为 1 允许进行页擦除，字编程操作，否则擦写操作被忽略。

在进行数据 FLASH 存储器擦写前，先关闭 WDT 定时功能，否则会引起芯片复位。

页码	存储容量(Byte)	地址范围
1	1K	4000 _H ~41FF _H
2	1K	4200 _H ~43FF _H
3	1K	4400 _H ~45FF _H
4	1K	4600 _H ~47FF _H

表 3-1 FLASH 数据存储器存储空间分布

3.1.5.2 数据FLASH页更新流程

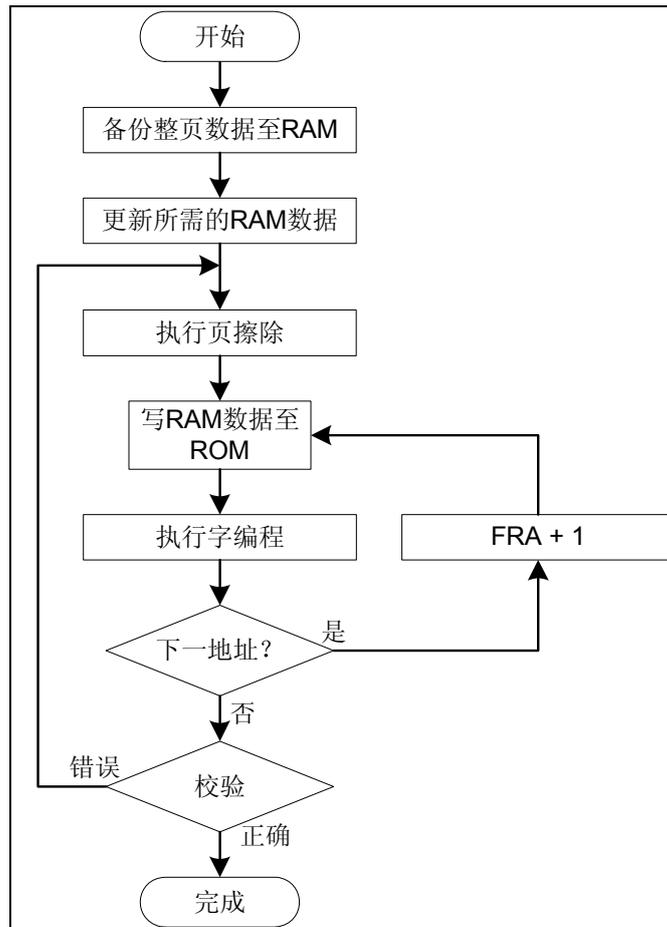


图 3-2 页更新参考流程图

更新一页程序存储器的步骤：

1. 用查表读指令将一页内容备份至数据存储空间（需 512x2x8 位存储空间，用于存放一页的数据量）；
2. 修改备份数据存储空间要更新的值；
3. 通过设置寄存器 ROMCL 和 ROMCH 进行页擦除（必须依照固定程序流程进行）；
4. 通过寄存器 FRAL 和 FRAH 选择需要更新的地址，以及设置寄存器 ROMDL 和 ROMDH 需要更新的数据；
5. 通过寄存器 ROMCL 和 ROMCH 将寄存器 ROMDL 和 ROMDH 中的内容写入 FRA 所指向的页中的地址（必须依照固定程序流程进行）；
6. 重复 4、5 步骤直至完成整页编程；
7. 用查表读指令进行写入区的校验。

3.1.5.3 操作参考例程

应用例程 1: 数据存储器查表读。

```

MOVI    0x05           ; 读取数据 FLASH 存储器 4105H 单元
MOVA    FRAL
MOVI    0x41
MOVA    FRAH
TBR                    ; 查表读指令, 读取数据到 ROMDH/L 寄存器
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..

```

应用例程 2: 数据存储器页擦除。除定时器/计数器可保持运行外, 程序停止运行, 直至擦除**操作完成自动恢复运行。**

```

MOVI    0x40           ; 擦除第 1 页 (页地址区间为 4000H~41FFH)
MOVA    FRAH
MOVI    0x00
MOVA    FRAL
BSS     ROMCL, FPEE   ; 选择擦除操作
BSS     ROMCL, WREN   ; 打开 FLASH 擦除/编程使能
BCC     INTG, GIE     ; 关闭全局中断 (避免中断影响后续固定程序流
                        ; 程)

```

MOVI	0x55	
MOVA	ROMCH	
... ..		; 8 个 NOP 指令, 或等待 8 个指令周期
MOVI	0xAA	
MOVA	ROMCH	
... ..		; 8 个 NOP 指令, 或等待 8 个指令周期
BSS	ROMCL, WR	

WAIT

```

JBC     ROMCL, WR     ; 等待 WR 为 0 时, 擦除完成
GOTO    WAIT
.....

```

应用例程 4: 将数据缓冲器写入数据存储器。除定时器/计数器可保持运行外, 程序停止运行,**直至擦除操作完成自动恢复运行。**

```

MOVI    0x40           ; 写入 Flash 数据存储器的第 1 页第 1 个地址
MOVA    FRAH
MOVI    0x00
MOVA    FRAL
MOVI    0x12
MOVA    ROMDH
MOVI    0x34

```

MOVA ROMDL ; 写入数据 1234H
 BCC ROMCL, FPEE ; 选择编程操作
 BSS ROMCL, WREN ; 打开 FLASH 擦除/编程使能
 BCC INTG, GIE ; 关闭全局中断 (避免中断影响后续固定程序流程)

MOVI	0x55	
MOVA	ROMCH	
...	...	; 8 个 NOP 指令, 或等待 8 个指令周期
MOVI	0xAA	
MOVA	ROMCH	
...	...	; 8 个 NOP 指令, 或等待 8 个指令周期
BSS	ROMCL, WR	

WAIT

JBC ROMCL, WR ; 等待 WR 为 0 时, 编程完成

GOTO WAIT

.....

注: 上述应用例程方框中的程序为固定操作格式, 客户不可改变。

3.1.6 特殊功能寄存器

寄存器名称	存储器查表地址寄存器<7:0> (FRAL)		
地址	FF90 _H		
复位值	XXXX XXXX		
FRAL<7:0>	bit7-0	R/W	存储器查表地址低 8 位

寄存器名称	存储器查表地址寄存器<15:8> (FRAH)		
地址	FF91 _H		
复位值	XXXX XXXX		
FRAH<7:0>	bit7-0	R/W	存储器查表地址高 8 位

寄存器名称	存储器查表数据寄存器<7:0> (ROMDL)		
地址	FF92 _H		
复位值	XXXX XXXX		
ROMDL<7:0>	bit7-0	R/W	存储器查表数据低 8 位

寄存器名称	存储器查表数据寄存器<15:8> (ROMDH)		
地址	FF93 _H		
复位值	XXXX XXXX		
ROMDH<7:0>	bit7-0	R/W	存储器查表数据高 8 位

寄存器名称	存储器控制寄存器<7:0> (ROMCL)		
地址	FF94 _H		
复位值	0000 0000		
-	bit0	-	-
WR	bit1	R/W	存储器擦除/编程触发位 0: 未启动擦除/编程操作, 或操作已完成 1: 擦除/编程正在进行操作 (硬件自动清零)
WREN	bit2	R/W	存储器页擦除/编程使能位 0: 禁止 1: 使能
FPEE	bit3	R/W	存储器页擦除/编程选择位 0: 编程 1: 擦除
-	bit7-4	-	-

寄存器名称	存储器控制寄存器<15:8> (ROMCH)		
地址	FF95 _H		
复位值	0000 0000		
ROMCH<7:0>	bit7-0	R/W	存储器擦除/编程控制字

注: ROMCH 寄存器为虚拟寄存器, 对该寄存器读出始终为全 0。

3.2 数据存储器

3.2.1 概述

本芯片的数据存储器由 2 部分组成, 通用数据存储器 GPR 和特殊功能寄存器 SFR。

GPR 共有 8 个存储体组 (存储体组 0 ~ 7), 地址范围 0000_H~03FF_H。

SFR 支持 128 个特殊寄存器, 地址范围 FF80_H~FFFF_H。

数据存储器支持 3 种寻址方式: 直接寻址、GPR 特殊寻址和间接寻址。

物理地址映射如下:

地址范围	数据存储器
0000H ~ 007FH	GPR SECTION0
0080H ~ 00FFH	GPR SECTION1
0100H ~ 017FH	GPR SECTION2
0180H ~ 01FFH	GPR SECTION3
0200H ~ 027FH	GPR SECTION4
0280H ~ 02FFH	GPR SECTION5
0300H ~ 037FH	GPR SECTION6
0380H ~ 03FFH	GPR SECTION7

表 3-2 数据区地址映射示意图

3.2.2.3 间接寻址

8 位 IAAH 和 8 位 IAAL 组成 16 位间接寻址索引寄存器，寻址空间 $0000_H \sim FFFF_H$ 。通过对间接寻址数据寄存器 IAD 的读写操作，完成间接寻址操作。

由于 IAD 这个寄存器自身也有物理地址 $FF80_H$ 。因此，这个寄存器也是可以被间接寻址的。只是，当用间接寻址的方式，读 IAD 这个寄存器的时候，读出的值始终为 00_H ，而写入则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对间接寻址索引寄存器 IAAH/IAAL 进行偏移计算。该指令支持 8 位有符号立即数，即偏移范围 $-128 \sim 127$ 。虽然只有 8 位立即数，但是该条指令对整个 IAA(IAAL 和 IAAH)进行 16 位计算。计算的结果依然存放于 IAAL 和 IAAH 中。

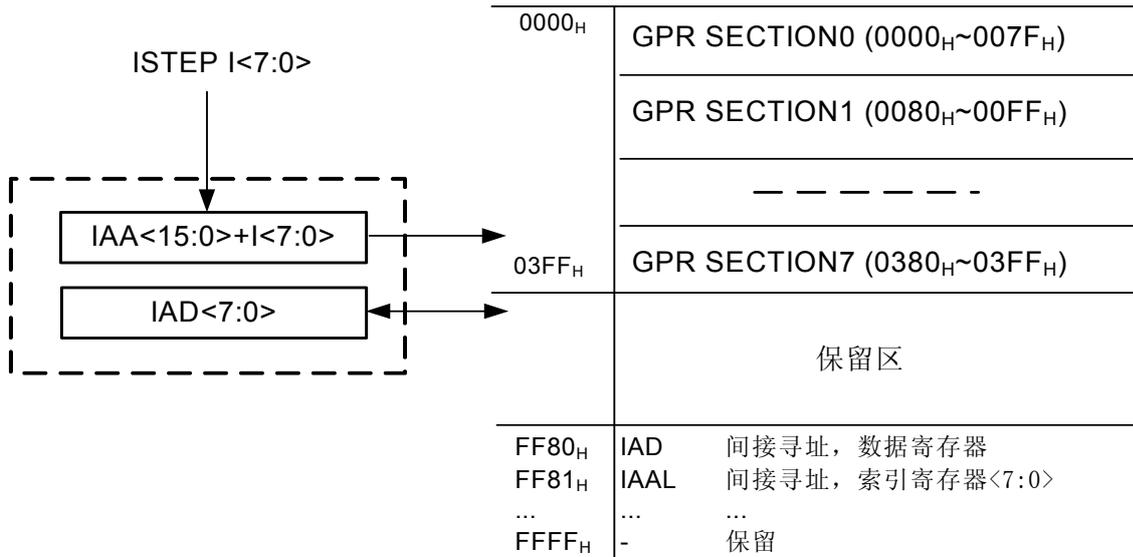


图 3-5 间接寻址示意图

3.2.3 特殊功能寄存器地址分配表

地址	寄存器名称	功能说明	备注
FF80 _H	IAD	间接寻址数据寄存器	内核控制区
FF81 _H	IAAL	间接寻址索引寄存器<7:0>	
FF82 _H	IAAH	间接寻址索引寄存器<15:8>	
FF83 _H	BKSR	存储体选择寄存器	
FF84 _H	PSW	程序状态字寄存器	
FF85 _H	AREG	A 寄存器	
FF86 _H	PCRL	程序计数器<7:0>	
FF87 _H	PCRH	程序计数器<15:8>	
FF88 _H	MULA/MULL	乘数 A 寄存器/乘积寄存器<7:0>	
FF89 _H	MULB/MULH	乘数 B 寄存器/乘积寄存器<15:8>	
FF8A _H	DIVEL/DIVQL	被除数寄存器<7:0>/商寄存器<7:0>	
FF8B _H	DIVEH/DIVQH	被除数寄存器<15:8>/商寄存<15:8>	
FF8C _H	DIVS/DIVR	除数寄存器/余数寄存器<7:0>	
FF8D _H	-	-	
FF8E _H	-	-	
FF8F _H	-	-	
FF90 _H	FRAL	程序存储器查表地址寄存器<7:0>	
FF91 _H	FRAH	程序存储器查表地址寄存器<15:8>	
FF92 _H	ROMDL	程序存储器查表数据寄存器<7:0>	
FF93 _H	ROMDH	程序存储器查表数据寄存器<15:8>	
FF94 _H	ROMCL	程序存储器控制寄存器<7:0>	
FF95 _H	ROMCH	程序存储器控制寄存器<15:8>	
FF96 _H	INTG	中断全局寄存器	中断控制区
FF97 _H	INTP	中断优先级寄存器	
FF98 _H	INTC0	中断控制寄存器 0	
FF99 _H	-	-	
FF9A _H	INTE0	中断使能寄存器 0	
FF9B _H	INTF0	中断标志寄存器 0	
FF9C _H	INTE1	中断使能寄存器 1	
FF9D _H	INTF1	中断标志寄存器 1	
FF9E _H	INTE2	中断使能寄存器 2	
FF9F _H	INTF2	中断标志寄存器 2	
FFA0 _H	-	内部保留, 禁止用户写入该寄存器	
FFA1 _H	-	内部保留, 禁止用户写入该寄存器	
FFA2 _H	VREFCAL	内部参考电压校准寄存器	
FFA3 _H	WDTCAL	内部 32KHz 校准寄存器	
FFA4 _H	OSCCALL	内部 16MHz RC 时钟校准寄存器低 8 位	
FFA5 _H	OSCCALH	内部 16MHz RC 时钟校准寄存器高 8 位	
FFA6 _H	PWRC	电源状态控制寄存器	

FFA7 _H	WDC	WDT 控制寄存器	
FFA8 _H	WKDC	唤醒延时控制寄存器	
FFA9 _H	PWEN	功耗控制寄存器	
FFAA _H	PA	PA 端口电平状态寄存器	I/O 控制区
FFAB _H	PAT	PA 端口输入输出控制寄存器	
FFAC _H	PB	PB 端口电平状态寄存器	
FFAD _H	PBT	PB 端口输入输出控制寄存器	
FFAE _H	PC	PC 端口电平状态寄存器	
FFAF _H	PCT	PC 端口输入输出控制寄存器	
FFB0 _H	PAPU	PA 端口弱上拉控制寄存器	
FFB1 _H	PBPU	PB 端口弱上拉控制寄存器	
FFB2 _H	PCPU	PC 端口弱上拉控制寄存器	
FFB3 _H	PALC	PA 端口驱动能力控制寄存器	
FFB4 _H	PAOD	PA 端口开漏输出选择寄存器	
FFB5 _H	PBOD	PB 端口开漏输出选择寄存器	
FFB6 _H	PCOD	PC 端口开漏输出选择寄存器	
FFB7 _H	PAPD	PA 端口弱下拉控制寄存器	
FFB8 _H	PBPD	PB 端口弱下拉控制寄存器	
FFB9 _H	PCPD	PC 端口弱下拉控制寄存器	
FFBA _H	-	-	
FFBB _H	T8N	T8N 计数器	
FFBC _H	T8NC	T8N 控制寄存器	
FFBD _H	T8P1	T8P1 计数器	
FFBE _H	T8P1C	T8P1 控制寄存器	
FFBF _H	T8P1P	T8P1 周期寄存器	
FFC0 _H	T8P1RL	T8P1 精度寄存器	
FFC1 _H	T8P1RH	T8P1 精度缓冲寄存器	
FFC2 _H	T8P1OC	T8P1 输出控制寄存器	
FFC3 _H	T8P2	T8P2 计数器	
FFC4 _H	T8P2C	T8P2 控制寄存器	
FFC5 _H	T8P2P	T8P2 周期寄存器	
FFC6 _H	T8P2RL	T8P2 精度寄存器	
FFC7 _H	T8P2RH	T8P2 精度缓冲寄存器	
FFC8 _H	T8P2OC	T8P2 输出控制寄存器	
FFC9 _H	T8P3	T8P3 计数器	
FFCA _H	T8P3C	T8P3 控制寄存器	
FFCB _H	T8P3P	T8P3 周期寄存器	
FFCC _H	T8P3RL	T8P3 精度寄存器	
FFCD _H	T8P3RH	T8P3 精度缓冲寄存器	
FFCE _H	T8P3OC	T8P3 输出控制寄存器	
FFCF _H	EPWM1C	EPWM1 控制寄存器	
FFD0 _H	EPWM2C	EPWM2 控制寄存器	

FFD1 _H	EPWM3C	EPWM3 控制寄存器
FFD2 _H	PDD1C	EPWM1 死区延时控制寄存器
FFD3 _H	PDD2C	EPWM2 死区延时控制寄存器
FFD4 _H	PDD3C	EPWM3 死区延时控制寄存器
FFD5 _H	TE1AS	EPWM1 自动关断控制寄存器
FFD6 _H	TE2AS	EPWM2 自动关断控制寄存器
FFD7 _H	TE3AS	EPWM3 自动关断控制寄存器
FFD8 _H	TMRADC	EPWM 沿启动 AD 转换定时器
FFD9 _H	ADCTST	ADC 参数寄存器
FFDA _H	ADCRL	ADC 转换值寄存器<7:0>
FFDB _H	ADCRH	ADC 转换值寄存器<15:8>
FFDC _H	ADCCL	ADC 控制寄存器<7:0>
FFDD _H	ADCCH	ADC 控制寄存器<15:8>
FFDE _H	ANSL	I/O 端口数模选择寄存器<7:0>
FFDF _H	ANSH	I/O 端口数模选择寄存器<15:8>
FFE0 _H	RXB	UART 接收数据寄存器
FFE1 _H	RXC	UART 接收状态寄存器
FFE2 _H	TXB	UART 发送数据寄存器
FFE3 _H	TXC	UART 发送状态寄存器
FFE4 _H	BRR	UART 波特率寄存器
FFE5 _H	-	-
FFE6 _H	-	-
FFE7 _H	-	-
FFE8 _H	-	-
FFE9 _H	-	-
FFEA _H	-	-
FFEB _H	-	-
FFEC _H	-	-
FFED _H	-	-
FFEE _H	-	-
FFEF _H	I2CX16	I2C16 倍采样波特率寄存器
FFF0 _H	I2CC	I2CS 控制寄存器
FFF1 _H	I2CSA	I2CS 地址寄存器
FFF2 _H	I2CTB	I2CS 发送数据缓冲寄存器
FFF3 _H	I2CRB	I2CS 接收数据缓冲寄存器
FFF4 _H	I2CIEC	I2CS 中断使能寄存器
FFF5 _H	I2CIFC	I2CS 中断标志寄存器
FFF6 _H	ACPC1	ACP1 控制寄存器
FFF7 _H	ACPC2	ACP2 控制寄存器
FFF8 _H	ACPC3	ACP3 控制寄存器
FFF9 _H	ACPC4	ACP4 控制寄存器
FFFA _H	ACPC5	ACP5 控制寄存器

FFFB _H	VRC1	VREF 控制寄存器
FFFC _H	PPGC	PPG 控制寄存器
FFFD _H	CMFT1	故障 FT1 检测寄存器 1
FFFE _H	OPAC	运算放大器控制寄存器
FFFF _H	CMFT2	故障 FT2 检测寄存器 2

3.2.4 特殊功能寄存器

寄存器名称	间接寻址数据寄存器 (IAD)		
地址	FF80 _H		
复位值	0000 0000		
IAD<7:0>	bit7-0	R/W	间接寻址数据

寄存器名称	间接寻址索引寄存器<7:0> (IAAL)		
地址	FF81 _H		
复位值	0000 0000		
IAAL<7:0>	bit7-0	R/W	间接寻址索引低 8 位

寄存器名称	间接寻址索引寄存器<15:8> (IAAH)		
地址	FF82 _H		
复位值	0000 0000		
IAAH<7:0>	bit7-0	R/W	间接寻址索引高 8 位

寄存器名称	存储体选择寄存器 (BKSR)		
地址	FF83 _H		
复位值	0000 0000		
BKSR<2:0>	Bit2-0	R/W	存储体选择位 000: 选择存储体 0 001: 选择存储体 1 010: 选择存储体 2 011: 选择存储体 3 100: 选择存储体 4 101: 选择存储体 5 110: 选择存储体 6 111: 选择存储体 7
			-

第 4 章 输入/输出端口

4.1 概述

HR7P169 所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。每个端口都有相应的控制寄存器 PxT，来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态；若 PxT 清 0，则 I/O 端口为输出状态。

IO 端口都有独立的内部弱上、下拉控制寄存器。若控制寄存器位置 1，则 I/O 端口弱上或者下拉使能；若控制寄存器位清 0，则 I/O 端口弱上或者下拉禁止。当端口设置为输出、外部晶振端口或者模拟输入端口时，内部弱上、下拉自动禁止。IO 端口都有独立的开漏输出控制寄存器。

PA 端口支持大电流驱动能力。当端口设置为外部晶振端口或者模拟输入端口时，大电流和开漏输出控制自动禁止。

当 IO 复用设置为模拟端口时，相应的端口方向寄存器 PxT 应设置为输入端口。具体控制可参考本章的《特殊功能寄存器》小节。

当管脚复用时，管脚电平由复用功能决定。具体说明及设置请参考《管脚说明》章节。

4.2 结构框图

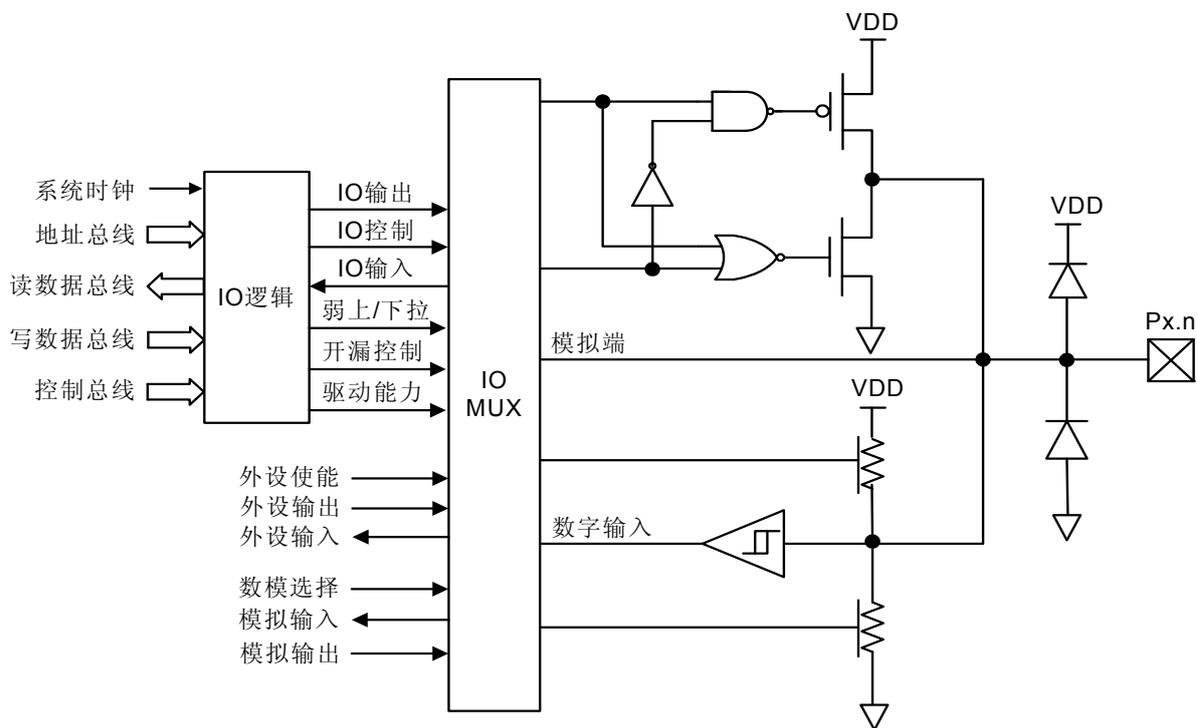


图 4-1 输入/输出端口结构图

4.3 I/O端口弱上/下拉

PA、PB、PC 端口可软件独立配置弱上拉。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	-	支持	支持	支持	支持	支持
PB	支持							
PC	支持	支持	-	-	-	-	-	-

表 4-1 I/O 端口弱上拉

PA、PB、PC 端口可软件独立配置弱下拉。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	-	支持	支持	支持	支持	支持
PB	支持							
PC	支持	支持	-	-	-	-	-	-

表 4-2 I/O 端口弱下拉

4.4 I/O端口大电流驱动能力

PA 端口可软件独立配置强、弱两种不同的驱动能力。默认为弱驱动能力端口。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	-	支持	支持	支持	支持	支持
PB	-	-	-	-	-	-	-	-
PC	-	-	-	-	-	-	-	-

表 4-3 I/O 端口大电流驱动能力

4.5 I/O端口开漏输出

PA、PB、PC 端口可软件独立配置开漏输出。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	-	支持	支持	支持	支持	支持
PB	支持							
PC	支持	支持	-	-	-	-	-	-

表 4-4 I/O 端口开漏输出

4.6 外部按键中断 (KINT)

外部端口支持 1 组外部按键中断。按键中断支持最多 4 个按键输入端 KIN<3:0>，每个输入端可以由相应的 INTC0<3:0>屏蔽。任何其中一个按键中断产生将影响中断标志 KIF。

端口电平变化可以产生中断，在端口电平变化中断使能的情况下，输入端口与锁存器上的最后输入值进行比较，如果不匹配引起中断，中断标志位置 1，此中断能将芯片从睡眠状态唤醒。

用户可在中断服务程序中用软件清除该中断标志，操作过程如下：

- 1) 对端口寄存器进行读或者写操作，结束端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位。

在按键中断使能 (KMSKx=1, KIE=1) 前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

管脚名	端口输入	按键屏蔽	中断名	中断使能	中断标志
PB4	KIN0	KMSK0	KINT	KIE	KIF
PB5	KIN1	KMSK1			
PB6	KIN2	KMSK2			
PB7	KIN3	KMSK3			

表 4-5 外部按键中断

4.7 外部端口中断 (PINT)

外部端口支持两个外部端口中断。外端口中断支持 2 个输入端 PINT1-0，外部端口中断由相应的 PIE1-0 (INTE0<7:6>) 使能，通过 PEG1-0 (INTC0<7:6>) 选择上升沿触发还是下降沿触发。中断产生将影响相应的中断标志 PIF。

管脚名	端口输入	边沿选择	中断名	中断使能	中断标志
PC0	PINT0	PEG0	PINT0	PIE0	PIF0
PC1	PINT1	PEG1	PINT1	PIE1	PIF1

表 4-6 外部端口中断

4.8 特殊功能寄存器

寄存器名称	PA 端口电平状态寄存器 (PA)		
地址	FFAA _H		
复位值	XXXX XXXX		
PA<7:0>	bit7-0	R/W	PA 口电平状态 0: 低电平 1: 高电平

寄存器名称	PA 端口输入输出控制寄存器 (PAT)		
地址	FFAB _H		
复位值	1111 1111		
PAT<7:0>	bit0	R/W	PA 口输入输出状态选择位 0: 输出状态 1: 输入状态

寄存器名称	PB 端口电平状态寄存器 (PB)		
地址	FFAC _H		
复位值	XXXX XXXX		
PB<7:0>	bit7-0	R/W	PB 口电平状态 0: 低电平 1: 高电平

寄存器名称	PB 端口输入输出控制寄存器 (PBT)		
地址	FFAD _H		
复位值	1111 1111		
PBT<7:0>	bit7-0	W	PB 口输入输出状态选择位 0: 输出状态 1: 输入状态

寄存器名称		PC 端口电平状态寄存器 (PC)	
地址	FFAE _H		
复位值	XXXX XXXX		
PC<1:0>	bit1-0	R/W	PC 口电平状态 0: 低电平 1: 高电平
-	bit7-2	-	-

寄存器名称		PC 端口输入输出控制寄存器 (PCT)	
地址	FFAF _H		
复位值	0000 0011		
PCT<1:0>	bit1-0	R/W	PC 口输入输出状态选择位 0: 输出状态 1: 输入状态
-	bit7-2	-	-

寄存器名称		PA 端口弱上拉控制寄存器 (PAPU)	
地址	FFB0 _H		
复位值	0000 0000		
PAPU<7:0>	bit7-0	R/W	PA 口内部弱上拉控制位 0: 禁止 1: 使能

寄存器名称		PB 端口弱上拉控制寄存器 (PBPU)	
地址	FFB1 _H		
复位值	0000 0000		
PBPU<7:0>	bit7-0	R/W	PB 口内部弱上拉控制位 0: 禁止 1: 使能

寄存器名称		PC 端口弱上拉控制寄存器 (PCPU)	
地址	FFB2 _H		
复位值	0000 0000		
PCPU<1:0>	bit1-0	R/W	PC 口内部弱上拉控制位 0: 禁止 1: 使能
-	bit7-2	-	-

寄存器名称				PA 端口大电流驱动能力控制寄存器 (PALC)
地址		FFB3 _H		
复位值		0000 0000		
PALC<1:0>	bit1-0	R/W	PA 口大电流驱动能力控制位 0: 禁止 1: 使能	
-	bit2	-	-	
PALC<7:3>	bit7-3	R/W	PA 口大电流驱动能力控制位 0: 禁止 1: 使能	

寄存器名称				PA 端口开漏输出控制寄存器 (PAOD)
地址		FFB4 _H		
复位值		0000 0000		
PAOD<7:0>	bit7-0	R/W	PA 口开漏输出控制位 0: 禁止 1: 使能	

寄存器名称				PB 端口开漏输出控制寄存器 (PBOD)
地址		FFB5 _H		
复位值		0000 0000		
PBOD<7:0>	bit7-0	R/W	PB 口开漏输出控制位 0: 禁止 1: 使能	

寄存器名称				PC 端口开漏输出控制寄存器 (PCOD)
地址		FFB6 _H		
复位值		0000 0000		
PCOD<1:0>	bit1-0	R/W	PC 口开漏输出控制位 0: 禁止 1: 使能	
-	Bit7-2	-	-	

寄存器名称				PA 端口弱下拉控制寄存器 (PAPD)
地址		FFB7 _H		
复位值		0000 0000		
PAPD<7:0>	bit7-0	R/W	PA 口内部弱下拉控制位 0: 禁止 1: 使能	

寄存器名称	PB 端口弱下拉控制寄存器 (PBDP)		
地址	FFB8 _H		
复位值	0000 0000		
PBDP<7:0>	bit7-0	R/W	PB 口内部弱下拉控制位 0: 禁止 1: 使能

寄存器名称	PC 端口弱下拉控制寄存器 (PCPD)		
地址	FFB9 _H		
复位值	0000 0000		
PCPD<1:0>	bit1-0	R/W	PC 口内部弱下拉控制位 0: 禁止 1: 使能
-	bit7-2	-	-

注：具体 IO 端口的驱动能力，可参考附录 3 《电气特性》。

第 5 章 外设

5.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 个 8 位定时器/计数器 (T8N)、3 组 8 位带死区互补输出的增强型 PWM 时基定时器 (T8P1/T8P2/T8P3)。

5.1.1 8 位定时器/计数器 (T8N)

5.1.1.1 概述

- ◆ 8 位定时器/计数器模块
- ◆ 支持定时器模式 (时钟源为系统时钟二分频 (Fosc/2)、WDT RC 时钟)
- ◆ 支持计数器模式 (时钟源为外部计数时钟, T8NCKI)
- ◆ 支持 1 组 8 位可配置预分频器 (T8NPRS)
- ◆ 支持 1 组 8 位计数器 (T8N)
- ◆ 支持 1 组 8 位控制寄存器 (T8NC)
- ◆ 支持溢出中断标志 (T8NIF)
- ◆ T8N 在低功耗模式下不工作

5.1.1.2 内部结构图

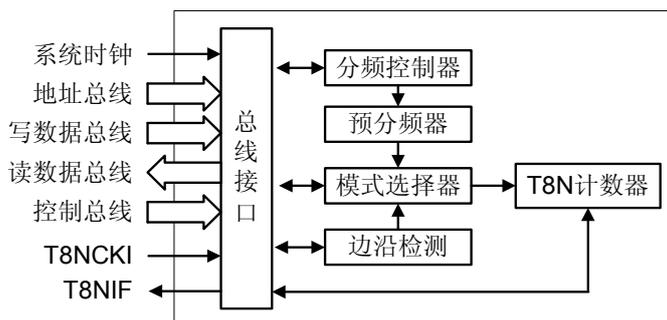


图 5-1 T8N 内部结构图

5.1.1.3 工作模式

工作模式	T8NM
定时器模式	0
同步计数模式	1

表 5-1 T8N 工作模式配置表

注: T8N 工作模式配置

- 1: 当 T8N 配置为定时器模式时, 若不使用预分频器, T8N 计数器的时钟为系统时钟 2 分频(Fosc/2); 若使用预分频器, T8N 计数器的时钟为 Fosc/2 分频后的输出信号频率。
- 2: 当 T8N 配置为计数器模式时, T8N 计数器的时钟为外部输入时钟 T8NCKI, 内部相位时钟 p2 将对 T8NCKI 进行时钟同步。所以 T8NCKI 保持高电平或者低电平的时间, 至少为一个机器周期。通过 T8NEG (T8NC<4>)选择外部时钟的计数边沿为上升沿或下降沿。外部计数模式同样支持预分频器。另外, T8NCKI 所在 IO 端口必须配置为输入状态。

5.1.1.4 预分频器

T8N 定时器频率	T8NPRE	T8NPRS<2:0>
T8N_CLK	0	-
T8N_CLK /2	1	000
T8N_CLK /4	1	001
T8N_CLK /8	1	010
T8N_CLK /16	1	011
T8N_CLK /32	1	100
T8N_CLK /64	1	101
T8N_CLK /128	1	110
T8N_CLK /256	1	111

表 5-2 T8N 预分频器配置表

注 1: 当 T8NPRE=1 时, 使能 T8N 预分频器。此时, 任何对 T8N 计数器的写操作都会清零预分频器, 但不影响预分频器的分频比, 预分频器的计数值无法读写。

注 2: T8N_CLK, 在定时器模式下, 为系统时钟 2 分频, 在计数器模式下, 为外部计数时钟 T8NCKI。

5.1.1.5 中断标志

T8N 提供了一个溢出中断标志。当 T8N 计数器递增计数, 计数值由 FFH 变为 00H 时, T8N 计数器发生溢出, T8NIF 位置 1, 如果 T8NIE 位和全局中断 GIE 位使能, 则产生 T8N 溢出中断, 否则中断不被响应。在重新使能这个中断之前, 为了避免误触发中断, T8NIF 位必须软件清零。在 CPU 进入休眠模式后, T8N 模块不工作, 因此不产生中断。

注: T8NIE 和 T8NIF 位请参考《中断处理》章节中的中断使能寄存器和中断标志寄存器。

5.1.1.6 特殊功能寄存器

寄存器名称	T8N 计数器 (T8N)		
地址	FFBB _H		
复位值	0000 0000		
T8N<7:0>	bit7-0	R/W	T8N 计数器 00 H ~ FF H

寄存器名称	T8N 控制寄存器 (T8NC)		
地址	FFBC _H		
复位值	0000 0000		
T8NPRS<2:0>	bit2-0	R/W	预分频器分频比选择位 000: 1:2 001: 1:4 010: 1:8 011: 1:16 100: 1:32 101: 1:64 110: 1:128 111: 1:256
T8NPRE	bit3	R/W	预分频器使能位 0: 禁止 1: 使能
T8NEG	bit4	R/W	T8NCKI 计数边沿选择位 0: T8NCKI 上升沿计数 1: T8NCKI 下降沿计数
T8NM	bit5	R/W	T8N 模式选择位 0: 定时器模式 (时钟源为系统时钟二分频 Fosc/2) 1: 同步计数器模式 (时钟源为 T8NCKI)
T8NCLK	bit6	-	T8N 定时时钟选择 WDT RC 时钟位 (需设置 T8NPRE=1) 0: 禁止 1: 使能
T8NEN	bit7	R/W	T8N 使能位 0: 关闭 T8N 模块 1: 使能 T8N 模块

5.1.2 8位EPWM时基定时器 (T8P1/T8P2/T8P3)

5.1.2.1 概述

- ◆ T8Px 支持 2 种工作模式：定时器模式，EPWM 模式
- ◆ 时钟源为系统时钟 2 分频 ($F_{osc}/2$)
- ◆ T8Px 支持 3 组带死区互补的增强型 EPWM 输出端口，并且 EPWM 输出端口可配置
- ◆ EPWM 输出死区延时可配置
- ◆ T8Px 支持一个可配置预分频器和一个可配置后分频器
- ◆ T8Px 包括 8 位计数器(T8Px)，精度寄存器(T8PxRL)，精度缓冲寄存器(T8PxRH)和周期寄存器(T8PxP)
- ◆ T8Px 计数器的初值可任意配置
- ◆ T8Px 支持中断产生 T8PxIF (不同工作模式作用不同，必须软件清零)
- ◆ T8Px 在低功耗模式下不工作
- ◆ 支持 EPWM 自动关断和重启
- ◆ 支持 EPWM 沿启动 ADC

5.1.2.2 内部结构图

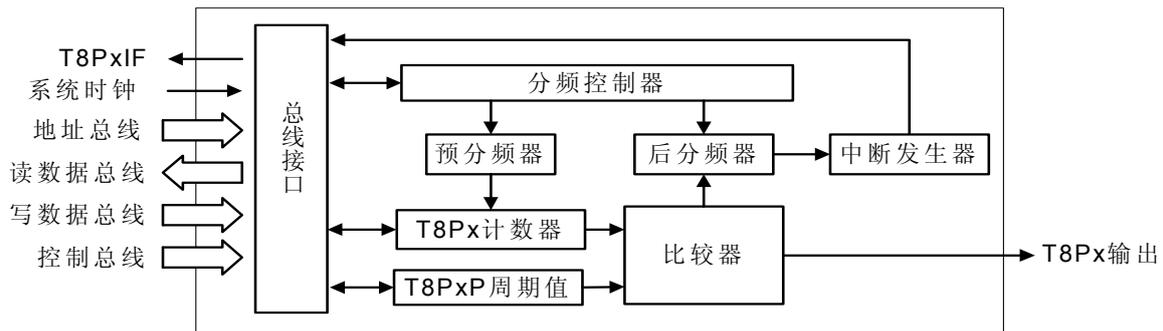


图 5-2 T8Px 内部结构图

5.1.2.3 预分频器和后分频器

T8Px 匹配中断	T8PxPOS<3:0>
计数器与周期寄存器匹配 1 次	0000
计数器与周期寄存器匹配 2 次	0001
计数器与周期寄存器匹配 3 次	0010
计数器与周期寄存器匹配 4 次	0011
计数器与周期寄存器匹配 5 次	0100
计数器与周期寄存器匹配 6 次	0101
计数器与周期寄存器匹配 7 次	0110
计数器与周期寄存器匹配 8 次	0111
计数器与周期寄存器匹配 9 次	1000
计数器与周期寄存器匹配 10 次	1001
计数器与周期寄存器匹配 11 次	1010
计数器与周期寄存器匹配 12 次	1011
计数器与周期寄存器匹配 13 次	1100
计数器与周期寄存器匹配 14 次	1101
计数器与周期寄存器匹配 15 次	1110
计数器与周期寄存器匹配 16 次	1111

表 5-3 T8Px 后分频器配置表

T8Px 定时器频率	T8PxPRS<1:0>
Fosc/2	00
Fosc/8	01
Fosc/32	1x

表 5-4 T8Px 预分频器配置表

注：T8Px 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器与后分频器的计数值都无法读写，修改 T8PxC 控制寄存器或 T8Px 计数器都会把预分频器和后分频器清零。

5.1.2.4 工作模式

工作模式	T8PxM
定时器模式	0
PWM 模式	1

表 5-5 T8Px 工作模式配置表

5.1.2.5 定时器模式

T8PxM=0 时，T8Px 为定时器模式。

T8Px 计数器的时钟源为系统时钟 2 分频 Fosc/2，可选择预分频器对计数时钟进行分频。T8Px 在定时器模式下对计数时钟进行递增计数，当 T8Px 的计数值与周期寄存器 T8PxP 相等时，T8Px 被自动清零并重新开始计数，同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将中断标志 T8PxIF 置 1，该中断标志需要软件清零。当 T8PxIF 置 1，如果 T8PxIE 使能，且全

局中断 GIE 使能，则产生 T8Px 中断，否则中断不被响应。在重新使能这个中断之前，为了避免误触发中断，T8PxIF 位必须软件清零。在 CPU 进入休眠模式后，T8Px 停止工作。

5.1.2.6 标准PWM模式

T8PxM=1 时，T8Px 为 PWM 模式，如果相应的 PxT 设置为输出状态，以及 T8PxOC<1:0>设置为 1，则 Px 端口输出 PWM 波形。

使能 PWM 模式后，首先从一个起始周期开始，起始周期完成后不断循环 PWM 周期。

起始周期

T8Px 在起始周期内从初始值递增计数到与周期寄存器 T8PxP 相等，此时将精度寄存器 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内，并产生 T8PxIF 中断标志。起始周期内 PWM 输出始终为 1。

PWM 周期

起始周期完成后，T8Px 从零开始重新递增计数，并保持 PWM 输出为 1，当 T8Px 与 T8PxRH 的值相等时，PWM 输出改变为 0，并继续递增计数。当 T8Px 的计数值与 T8PxP 再次相等时，PWM 输出恢复为 1，同时将当前 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内，并产生 T8PxIF 中断标志。T8Px 清零并重新开始计数，循环 PWM 周期。在 PWM 输出模式下，T8PxRH 寄存器只可读。

特别的，若精度缓冲寄存器 T8PxRH 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0；若精度缓冲寄存器 T8PxRH 的值大于 T8PxP，则当前 PWM 周期内 PWM 输出始终为 1。

PWM 输出模式下，计数时钟源为系统时钟二分频 $F_{osc}/2$ ，并支持预分频器。此模式下，后分频器的设置不影响 PWM 输出周期和占空比；只影响 T8PxIF 中断标志位的产生，详见表 5-3 《T8Px 后分频器配置表》。

对于 PWM 输出，波形如下图所示：

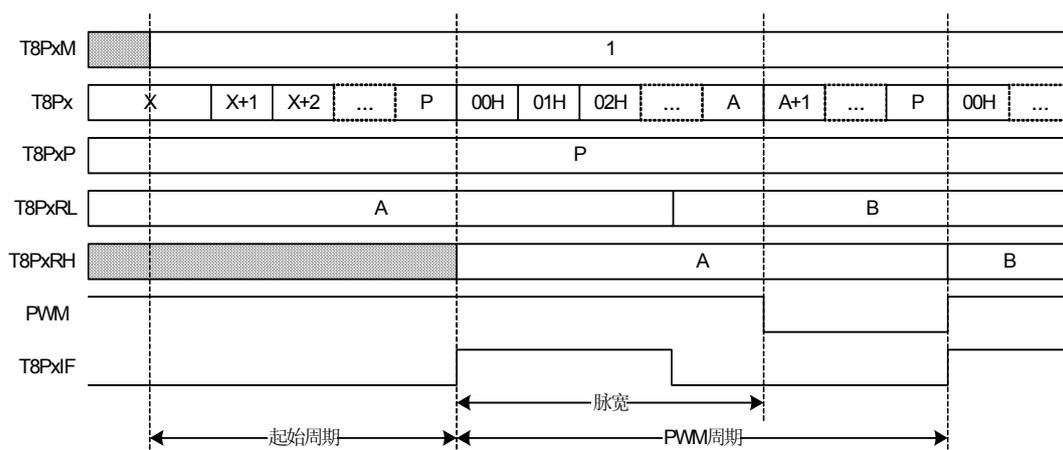


图 5-3 标准 PWM 模式示意图

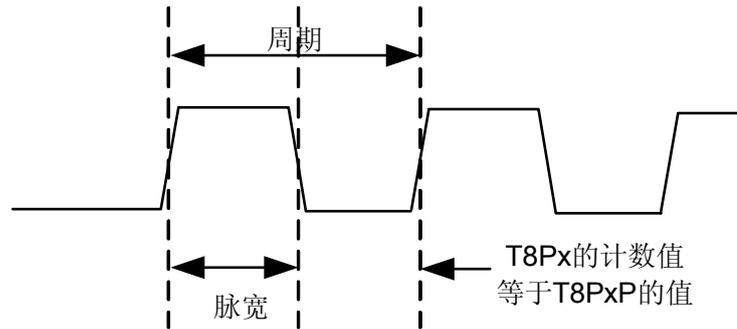


图 5-4 标准 PWM 输出示意图

PWM 计算公式如下:

$$\text{PWM 周期} = [(T8PxP)+1] \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = T8PxRL \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的分辨率计算公式:

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc} / 2}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{ 位}$$

注 1: $T_{osc} = 1/F_{osc}$, $F_{pwm} = 1/(\text{PWM 周期})$, F_{ckps} 为 $T8px$ 预分频比

5.1.2.7 增强型PWM模式

本芯片支持 3 组增强型 PWM 功能 (即 EPWM), 选择 $T8Px$ 作为其时基。EPWM 输出包括单桥输出和半桥输出。

单桥输出就是标准 PWM 输出, 5.1.2.6 节《标准 PWM 模式》已经详细介绍。

在半桥输出模式下, 两个端口作为驱动推拉式负载输出, 其中一个调制输出信号输出到 $PWMx0$ 端口, 及其互补信号输出到 $PWMx1$ 端口来驱动负载。这两个调制波输出之间, 可设置一个可编程死区延时间 T_{delay} , 来防止半桥功率器件直通, 引起瞬间大电流损坏半桥功耗设备。死区时间由主时钟频率和死区控制寄存器 $PDDxC$ 的值决定。在系统时钟频率固定的条件下, 死区时间通过设置 $PDDxC<6:0>$ 来设置。 $T_{delay} = 2 * T_{osc} * (PDDxC<6:0>)$ 。如果死区时间设置大于或者等于 PWM 的工作周期, 则 PWM 输出无效。

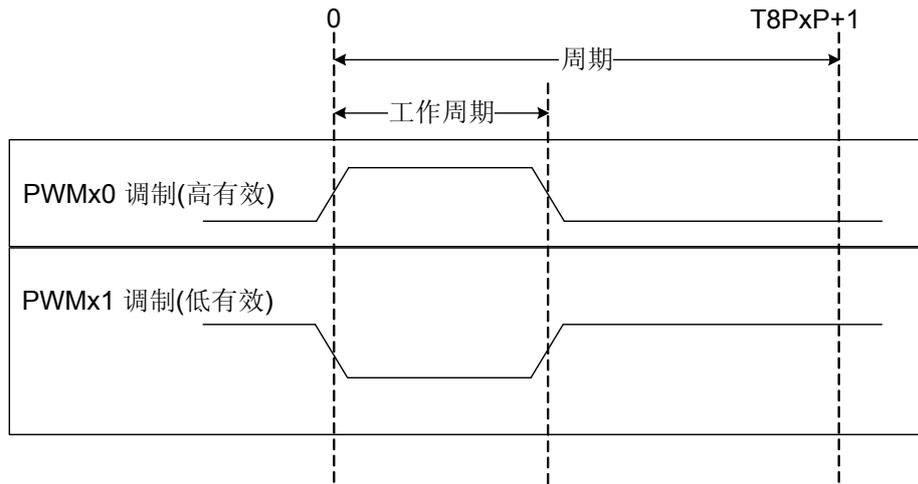


图 5-5 EPWM 单桥输出示意图

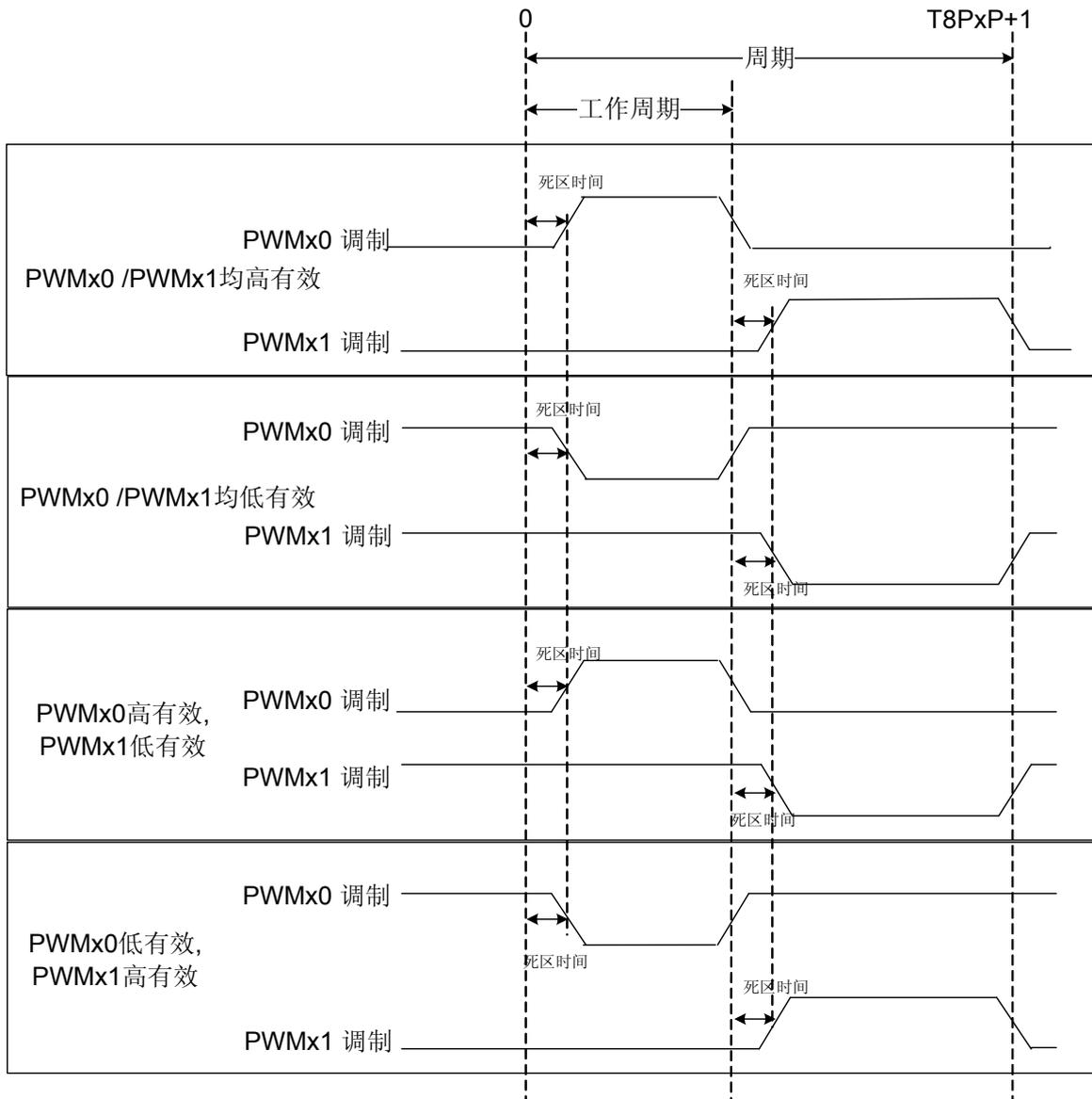


图 5-6 EPWM 半桥输出示意图

5.1.2.8 EPWM自动关断和重启

本芯片支持两种关断事件，分别为 PA3/N_EPAS 管脚输入关断事件和模拟比较器 CMP3 输出关断事件。当自动关断位 EPWMxAS0 使能，PA3/N_EPAS 管脚输入为“0”时，会发生自动关断事件。当自动关断位 EPWMxAS1 使能，CMP3 输出为“0”时（C3EN=1），会发生自动关断事件。CMP3 输出经过滤波定时器 CMFT1 滤波，如果输出低电平时间大于 CMFT1 滤波时间，停止当前 EPWM 输出，直到关断事件撤销，关断事件标志位清零后，才恢复 EPWM 输出。滤波定时器的计数时钟为内部 16MHz 时钟。CMFT2 寄存器必须设置为 FFH。

当关断事件发生后，EPWM 输出管脚处于关断状态，管脚的关断状态可通过设置 TExAS 寄存器的低四位来控制，可以被设置输出为“1”、“0”或者高阻（三态）。同时，在关断状态下，关断事件标志位 EPWMxASF（EPWMxAS<7>）置 1。如果关断事件一直保持，关断事件标志位就不会被清零。

EPWM 重启，通过配置寄存器 PRSEN（PDDxC<7>）位来决定在关断状态下的事件是否自动重启。如果 PRSEN 位为 1，当关断事件撤离后，硬件会自动清零关断事件标志位，并重启 EPWM 功能；如果 PRSEN 位为 0，当关断事件撤离后，需要用软件清零关断事件标志位，重启 EPWM 功能；EPWM 重启后，EPWM 的输出会在下一个 PWM 周期正常输出。可参考图 5-7 和图 5-8。

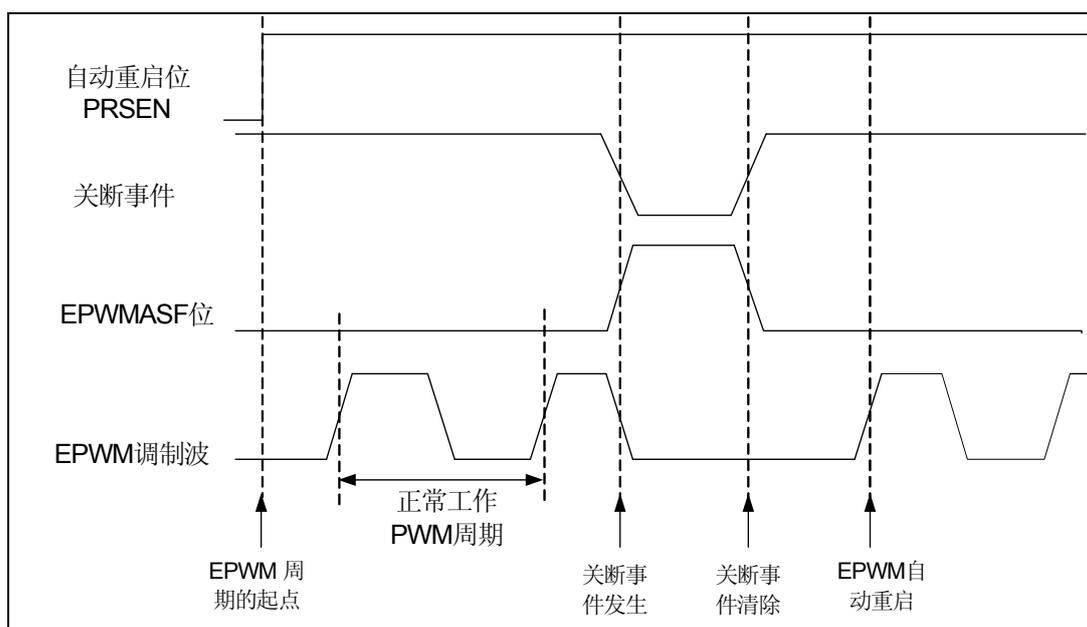


图 5-7 EPWM 关断与自动重启 (PRESN=1)

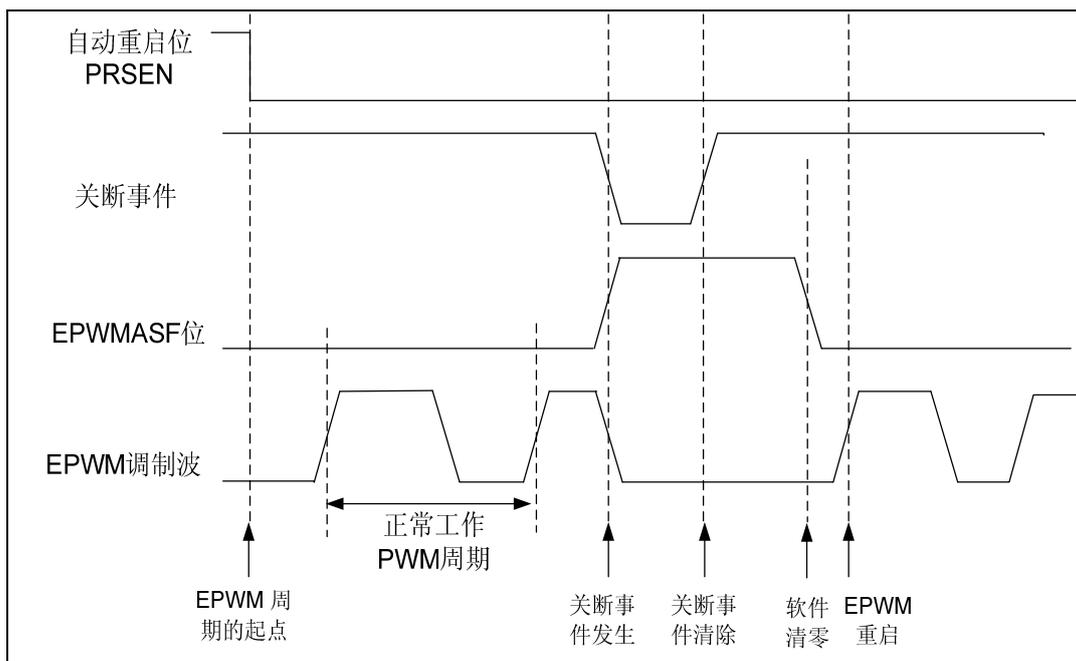


图 5-8 EPWM 关断与重启 (PRESN=0)

启动注意事项:

注 1: EPWMx<C<1:0>位允许用户为每一组 EPWM 输出引脚选择输出有效信号。避免导致应用电路的损坏, 因此不推荐在 EPWM 引脚为输出状态时, 改变输出极性的配置。

注 2: 在 EPWM 功能扩展模块初始化工作完成后, 再将 PWMx0 和 PWMx1 所在的 EPWM 引脚设置为输出状态。

5.1.2.9 PWM输出沿启动AD转换

本芯片支持 PWM 输出沿启动 AD 转换, 为了保证有效沿启动 AD 转换, 在 PWM 输出沿后增加了可配置延时滤波电路。当 ADC 模块和 PWMADEN 置为 1 时, 通过软件配置 TMRADC 延时定时器, 设置寄存器 PWMADS 选择启动沿, 当 PWMADS 为 0 时, 计数器在 PWM 的上升沿开始计数; 当 PWMADS 为 1 时, 计数器在 PWM 的下降沿开始计数。当计数器计数大于 TMRADC 定时器时, 产生启动 AD 转换的触发信号, 启动 AD 转换。在 AD 转换还未完成前, 任何 PWM 触发信号沿都无效。延时计数器计数时钟为系统时钟。当系统进入 IDLE 状态时, PWM 跳变沿不能触发 AD 转换。使用 PWM 输出沿启动 AD 转换的功能时, 必须设置 SMPS 位为 1, 将 AD 采样模式设置为硬件控制。

5.1.2.10 特殊功能寄存器

寄存器名称	T8Px 计数器 (T8Px)		
地址	T8P1: FFBD _H T8P2: FFC3 _H T8P3: FFC9 _H		
复位值	0000 0000		
T8Px<7:0>	bit7-0	R/W	T8Px 计数器 00 H ~ FF H

寄存器名称		T8PxC 控制寄存器 (T8PxC)	
地址	T8P1C: FFBE _H T8P2C: FFC4 _H T8P3C: FFCA _H		
复位值	0000 0000		
T8PxPRS<1:0>	bit1-0	R/W	T8Px 预分频器分频比选择位 00: 分频比为 1:1 01: 分频比为 1:4 1x: 分频比为 1:16
T8PxE	bit2	R/W	T8Px 使能位 0: 关闭 T8P1 1: 使能 T8P1
T8PxPOS<3:0>	bit6-3	R/W	T8Px 后分频器分频比选择位 0000: 分频比为 1:1 0001: 分频比为 1:2 0010: 分频比为 1:3 ... 1111: 分频比为 1:16
T8PxM	bit7	R/W	T8Px 工作模式选择位 0: 定时器模式 1: PWM 模式

寄存器名称		T8PxP 周期寄存器 (T8PxP)	
地址	T8P1P: FFBF _H T8P2P: FFC5 _H T8P3P: FFCB _H		
复位值	1111 1111		
T8PxP<7:0>	bit7-0	R/W	T8Px 周期寄存器 00 H ~ FF H

寄存器名称		T8Px 精度寄存器 (T8PxRL)	
地址	T8P1RL: FFC0 _H T8P2RL: FFC6 _H T8P3RL: FFCC _H		
复位值	0000 0000		
T8PxRL<7:0>	bit7-0	R/W	8 位精度寄存器 00 _H ~ FF _H

寄存器名称		T8Px 精度缓冲寄存器 (T8PxRH)	
地址	T8P1RH: FFC1 _H T8P2RH: FFC7 _H T8P3RH: FFCD _H		
复位值	0000 0000		
T8PxRH<7:0>	bit7-0	R/W	8 位精度缓冲寄存器 00 _H ~ FF _H

寄存器名称		EPWM 输出控制寄存器 (T8PxOC)	
地址	T8P1OC: FFC2 _H T8P2OC: FFC8 _H T8P3OC: FFCE _H		
复位值	0000 0000		
PWMx0EN	bit0	R/W	PWMx0 端口使能位 0: 通用 I/O 1: PWMx0 输出功能
PWMx1EN	bit1	R/W	PWMx1 端口使能位 0: 通用 I/O 1: PWMx1 输出功能
-	bit7-2	-	-

寄存器名称		EPWM配置寄存器 (EPWMxC)	
地址	EPWM1C: FFCF _H EPWM2C: FFD0 _H EPWM3C: FFD1 _H		
复位值	0000 0000		
EPWMxM<1:0>	bit1-0	R/W	EPWM 输出极性选择位 00: EPWM, PWMx0, PWMx1 高有效 01: EPWM, PWMx0 高有效, PWMx1 低有效 10: EPWM, PWMx0 低有效, PWMx1 高有效 11: EPWM, PWMx0, PWMx1 低有效
EPWM2OS	bit2	R/W	PWM20, PWM21 输出端口选择位 0: PWM20, PWM21 分别从 PA6, PB3 输出 1: PWM20, PWM21 分别从 PB0, PB1 输出
PWMxADS	bit3	R/W	PWM 沿启动 ADC 选择位 0: 上升沿 1: 下降沿
-	bit5-4	-	-
P1Mx	bit6	R/W	T8PxM=1, EPWM 输出端口选择位 0: 单桥输出, PWMx0、PWMx1 为 6 路 PWM 输出端口 1: 半桥输出, PWMx0 与 PWMx1 为 3 组带死区互补 EPWM 输出端口
PWMxADEN	bit7	R/W	PWM 沿启动 ADC 使能位 0: 禁止 1: 使能

寄存器名称		EPWM死区控制寄存器 (PDDxC)	
地址	PDD1C: FFD2 _H PDD2C: FFD3 _H PDD3C: FFD4 _H		
复位值	0000 0000		
PDDxC<6:0>	bit6-0	R/W	EPWM 死区延时计数位 00 _H ~ 7F _H
PRSENx	bit7	R/W	EPWM 重启控制位 0: 当自动关断事件撤离后, 自动关断事件标志位必须软件清零, 才能重启 EPWM。 1: 当自动关断事件撤离后, 自动关断事件标志位硬件自动清零, EPWM 自动重启。

寄存器名称	EPWM自动关断寄存器 (TE _x AS)		
地址	TE1AS: FFD5 _H TE2AS: FFD6 _H TE3AS: FFD7 _H		
复位值	0000 0000		
PSS _x BD<1:0>	bit1-0	R/W	管脚 PWM _x 0 和 PWM _x 1 关断状态控制位 00: 端口输出 “0” 01: 端口输出 “1” 1x: 端口为三态
-	bit3-2	-	-
EPWM _x AS0	bit4	R/W	EPWM 自动关断位 0 0: N_EPAS 端口不影响 EPWM 1: N_EPAS 端口为 “0” 引起关断
EPWM _x AS1	Bit5	R/W	EPWM 自动关断位 1 0: CMP3 比较器输出不影响 EPWM 1: CMP3 比较器输出 “0” 引起关断
-	bit6	-	-
EPWM _x ASF	bit7	R/W	EPWM 自动关断事件标志位 0: 没有关断事件发生 1: 关断事件已经发生

寄存器名称	PWM沿启动ADC定时器 (TMRADC)		
地址	FFD8 _H		
复位值	0000 0000		
TMRADC<7:0>	bit7-0	R/W	PWM 沿启动 ADC 定时器 00 H ~ FF H

5.2 通用异步接收/发送器 (UART)

5.2.1 概述

- ◆ 支持异步接收器和异步发送器
- ◆ 支持 8/9 位数据格式
- ◆ 支持全双工模式
- ◆ 支持高速模式和低速模式，传输波特率可配置
- ◆ 支持接收中断标志
- ◆ 支持发送中断标志
- ◆ 兼容 RS-232/RS-442/RS-485 的通讯接口

5.2.2 内部结构图

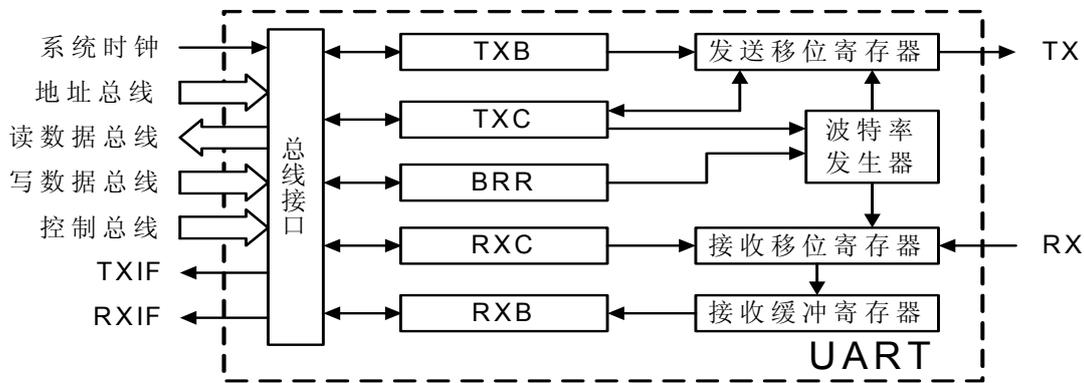


图 5-9 UART 内部结构图

5.2.3 波特率配置

波特率	计算公式	BRGH
低速模式	$F_{osc}/(64 \times (BRR_{<7:0>} + 1))$	0
高速模式	$F_{osc}/(16 \times (BRR_{<7:0>} + 1))$	1

表 5-6 UART 波特率配置表

5.2.4 传输数据格式



图 5-10 UART 数据格式示意图

5.2.5 异步发送器

异步发送器发送数据时，起始位(Start)和结束位(Stop)由芯片内部产生，用户只需要使能异步发送器，并将所要发送的数据写入 TXB 和 TXR8 内，就能实现异步发送，异步发送器还可以实现数据连续发送。操作流程如图如下：

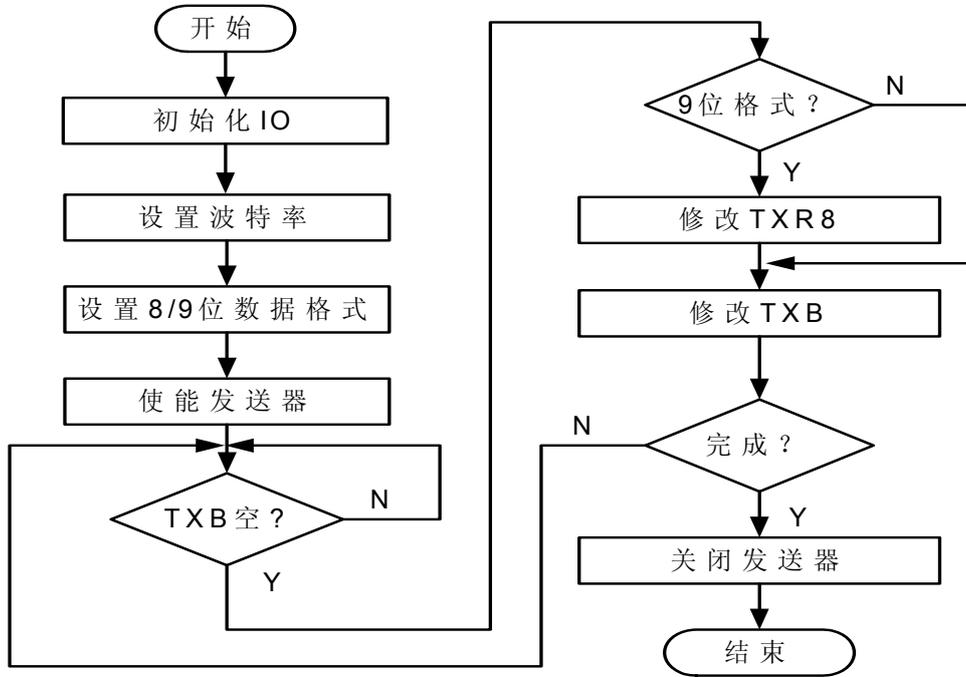


图 5-11 UART 发送器操作流程

5.2.6 异步接收器

异步接收器接收数据时，用户可以查询 RXIF 中断标志位，来判断是否收到完整的一帧数据，并通过读取 RXB 和 RXR8 获得数据。芯片内部提供 2 级 9 位 FIFO 作为 RXB，若用户在第三个数据接收完毕前，未读取 RXB，则溢出标志位 OERR 将置 1。FERR 在用户未接收到结束位 Stop 时置 1。操作流程如图如下：

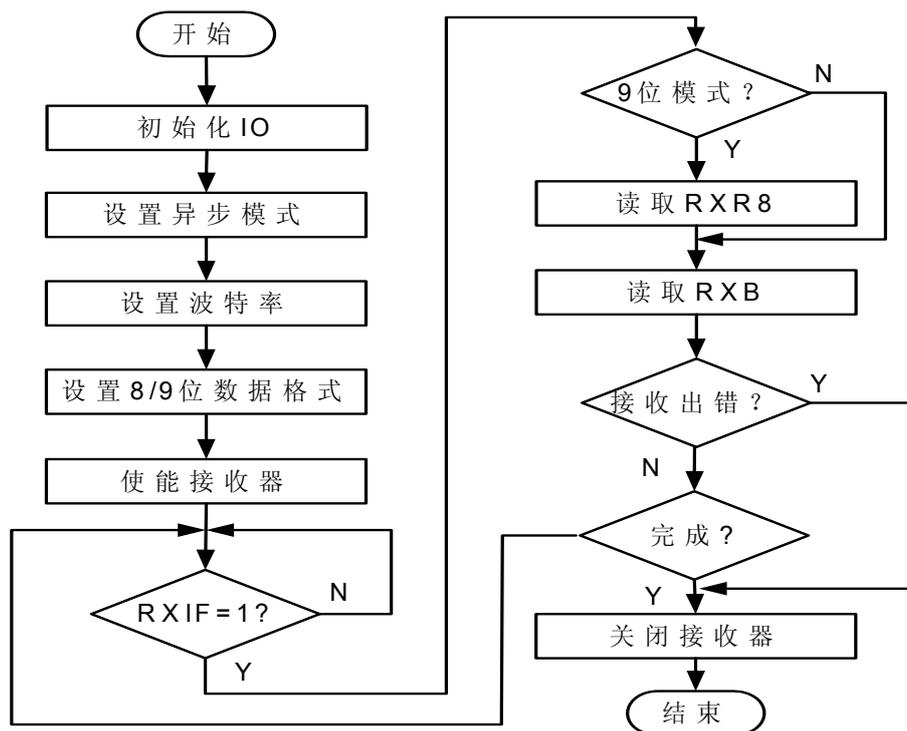


图 5-12 UART 接收器操作流程图

5.2.7 特殊功能寄存器

寄存器名称	UART 接收数据寄存器 (RXB)		
地址	FFE0 _H		
复位值	0000 0000		
RXB<7:0>	bit7-0	R/W	接收数据寄存器 00H ~ FFH

寄存器名称		UART 接收控制寄存器 (RXC)	
地址	FFE1 _H		
复位值	0000 000x		
RXR8	bit0	R	第 9 位接收数据位 0: 第 9 位数据为 0 1: 第 9 位数据为 1
FERR	bit1	R	帧格式错标志位 0: 无帧格式错误 1: 帧格式错 (读 RXB, 该位被刷新)
OERR	bit2	R	接收溢出标志位 0: 无溢出错误 1: 有溢出错误 (清 RXEN 位可将此位清除)
-	bit5-3	-	-
RXM	bit6	R/W	接收器数据格式选择位 0: 8 位数据接收格式 1: 9 位数据接收格式
RXEN	bit7	R/W	接收器使能位 0: 禁止 1: 使能

寄存器名称		UART 发送数据寄存器 (TXB)	
地址	FFE2 _H		
复位值	0000 0000		
TXB<7:0>	bit7-0	R/W	发送数据寄存器 00H ~ FFH

寄存器名称		UART 发送控制寄存器 (TXC)	
地址	FFE3 _H		
复位值	0000 0010		
TXR8	bit0	R/W	第 9 位发送数据位 0: 第 9 位数据为 0 1: 第 9 位数据为 1
TRMT	bit1	R	发送移位寄存器 (TXR) 空标志位 0: TXR 不空 1: TXR 空
-	bit4-2	-	-
BRGH	bit5	R/W	波特率模式选择位 0: 低速模式 1: 高速模式
TXM	bit6	R/W	发送器数据格式选择位 0: 8 位数据格式 1: 9 位数据格式
TXEN	bit7	R/W	发送器使能位 0: 禁止 1: 使能

寄存器名称		UART 波特率寄存器 (BRR)	
地址	FFE4 _H		
复位值	0000 0000		
BRR<7:0>	bit7-0	R/W	UART 波特率设置 00H ~ FFH

5.3 I2C总线从动器 (I2CS)

5.3.1 概述

- ◆ 只支持从动模式
- ◆ 支持标准 I2C 总线协议，最大传输速率 400Kbit/s
- ◆ SCL/SDA 支持开漏或者推挽输出模式
- ◆ 支持接收溢出错误中断
- ◆ 支持 2 级发送缓冲、2 级接收缓冲
- ◆ 支持 7 位从机地址
- ◆ 支持从机地址匹配中断标志
- ◆ 支持接收“停止位”中断标志
- ◆ 支持自动时钟下拉等待功能
- ◆ 支持自动发送“未应答”功能

5.3.2 I2CS端口配置

IO 端口 (I2CTE=0)	I2CS 模式 (I2CTE=1)	备注
PC1	SCL	I2CS 时钟端口
PC0	SDA	I2CS 数据端口 支持内部弱上拉使能

5.3.3 通讯协议

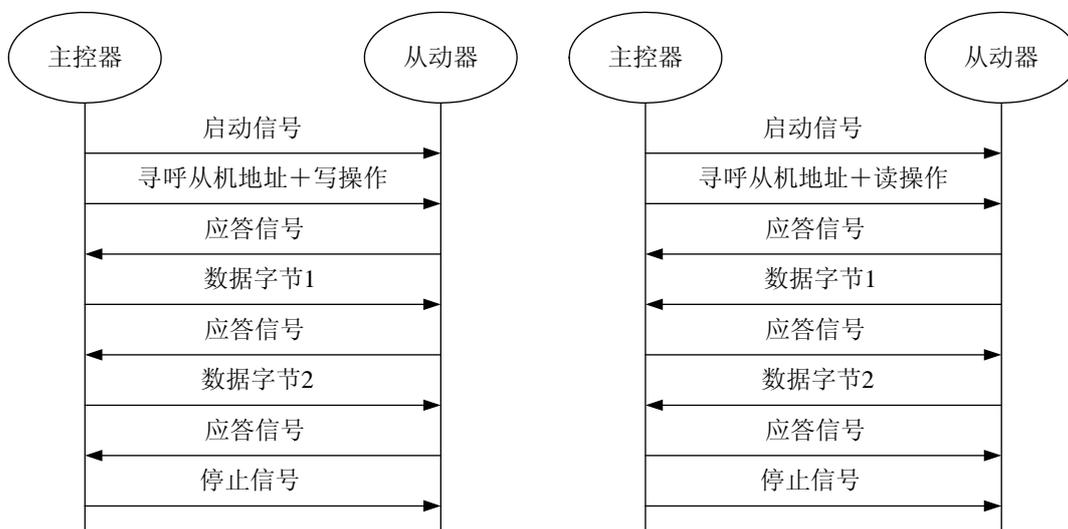


图 5-13 I2C 总线通讯协议示意图

注：I2C 通讯中，必须遵循以下协议

- 1: 通讯由主控器发起，发送启动信号 S（开始）控制总线，发送停止信号 P（结束）释放总线；
- 2: 总线上可以同时有多个主控器（前提是每个主控器都支持多主机仲裁机制），但至少需要一个从动器，且每一个从动器都必须有一个独立且唯一的寻呼地址。
- 3: 主控器在发送启动信号后，紧接着寻呼从动器地址以及发送读写方式位。（根据通讯协议可以支持 7 位地址，

如果是 7 位地址只需要一个字节)；

4: 读写控制位 R/#W (称为方向位) 用于通知从动器数据传送的方向, “0” 表示这次通讯是由主控器向从动器“写”数据, “1” 表示这次通讯是由主控器向从动器“读”数据；

5: I2C 通讯协议支持应答机制, 即发送方每传送一个字节的的数据 (包括寻呼地址), 接收方必须回答一个应答信号(ACK 或者 NACK), 发送方再根据应答信号进行下一步的操作。

6: 如果主控器和从动器的时钟线 (SCL) 都使用开漏设计, 且主控器支持时钟线等待请求操作, 那么从动器可以在时钟线为低电平时下拉时钟线, 使主控器等待从动器, 直到从动器释放时钟线；

7: 每个数据字节在传送时都是高位在前。

5.3.4 数据传输格式参考

I2C 存储器的数据传输参考格式如下：

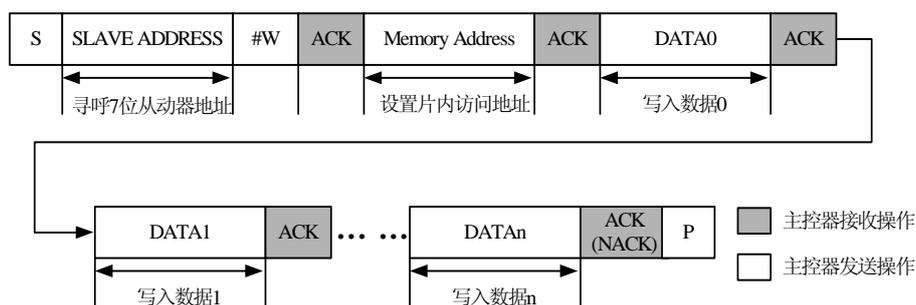


图 5-14 主控器写入从动器数据示意图

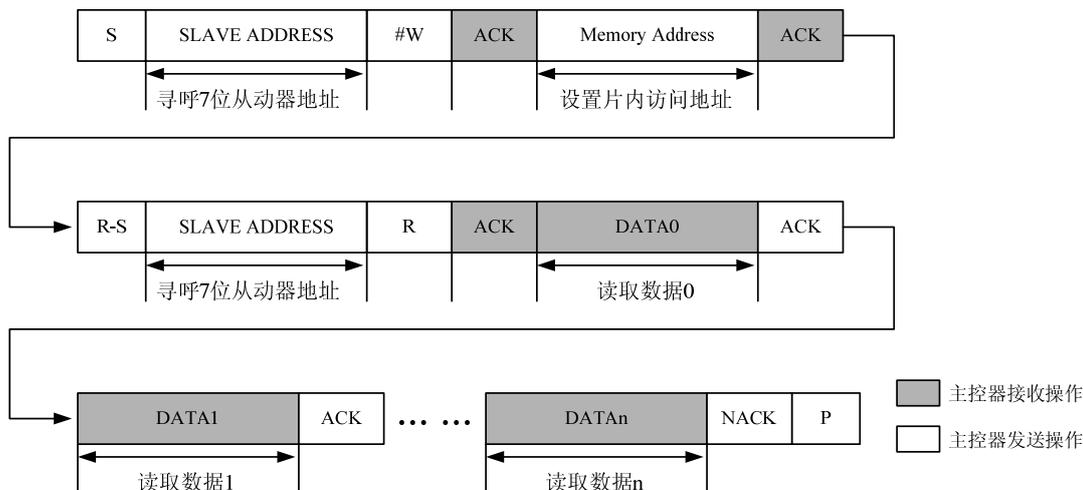


图 5-15 主控器读取从动器数据示意图

5.3.5 特殊功能寄存器

寄存器名称		I2C 16 倍采样波特率寄存器 (I2CX16)	
地址	FFEF _H		
复位值	0000_0000		
I2CX16<4:0>	bit4-0	R/W	16 倍采样波特率控制位 00H: 禁止采样滤波 01H~1FH: 通信时钟和数据采样滤波时间为 $T_{osc} \times (I2CX16+1) \times 3$
-	bit7-5	-	-

寄存器名称		I2C 控制寄存器(I2CC)	
地址	FFF0 _H		
复位值	0000_0000		
I2CEN	bit0	R/W	I2C 模块使能位 0: 禁止 1: 使能
I2CRST	bit1	R/W	软件复位 I2C 模块位 0: 禁止 1: 使能 (复位后, 硬件自动清零)
I2CCSE	bit2	R/W	I2C 时钟下拉等待使能位 0: 禁止 1: 使能
I2CANAE	bit3	R/W	I2C 自动未应答使能位 0: 禁止 1: 使能
I2CTAS	bit4	R/W	I2C 发送应答设置位 0: 发送 ACK 1: 发送 NACK
I2COD	bit5	R/W	I2C 开漏输出使能位 0: 推挽输入输出 1: 开漏输入输出
I2CPU	bit6	R/W	I2C 内部弱上拉使能 0: 禁止 1: 使能
I2CTE	bit7	R/W	I2C 通信端口使能位 0: 禁止 1: 使能

注 1: 当 I2C 时钟下拉等待使能,

当片外主控器寻呼从动器地址+R 时, 若在数据发送之前, 2 级发送数据缓冲器全空, 则在本机地址后的应答位之前下拉时钟线 (此原则在 I2CANAE 不使能的条件下成立); 若在数据发送之后, 2 级发送数据缓冲器全空, 则在从动器接收应答位之后下拉时钟线;

当片外主控器寻呼从动器地址+#W时，若在数据接收之前，且 I2CANAE=0，2 级接收数据缓冲器全满，则在本机地址后的应答位之前下拉时钟线；若在数据接收之后，2 级接收数据缓冲器全满，则在从动器发送应答位之前下拉时钟线。

注 2：当 I2C 自动未应答使能，

当片外主控器寻呼本机地址+R 时，若 2 级发送数据缓冲器全空，则本机地址后的应答位为“NACK”；

当片外主控器寻呼本机地址+#W 时，若在数据接收之前，2 级接收数据缓冲器全满时，本机地址后的应答位为“NACK”；若在接收数据后，且 I2CCSE=0，2 级接收数据缓冲器全满时，则接收数据后的应答位为“NACK”。

注 3：I2CPU 弱上拉优先级高于 I/O 端口弱上拉。

寄存器名称		I2C 地址寄存器(I2CSA)	
地址	FFF1 _H		
复位值	0000_0000		
I2CRW	bit0	R	从机地址匹配后，自动更新读/写位 0：写 1：读
I2CSADR<6:0>	bit7-1	R/W	从机地址 接收到“启动/重新启动”后用于匹配比较

寄存器名称		I2C 发送数据缓冲器 (I2CTB)	
地址	FFF2 _H		
复位值	0000_0000		
I2CTB<7:0>	bit7-0	R/W	发送数据缓冲器

注：第一个需要发送的数据，在发送使能前写入发送数据缓冲器。

寄存器名称		I2C 接收数据缓冲器 (I2CRB)	
地址	FFF3 _H		
复位值	0000_0000		
I2CRB<7:0>	bit7-0	R	接收数据缓冲器

寄存器名称		I2C 中断使能寄存器 (I2CIEC)	
地址	FFF4 _H		
复位值	0000_0000		
I2CSRIE	bit0	R/W	I2C 起始位中断使能位 0: 禁止 1: 使能
I2CSPIE	bit1	R/W	I2C 结束位中断使能位 0: 禁止 1: 使能
I2CTBIE	bit2	R/W	I2C 发送空中断使能位 0: 禁止 1: 使能
I2CRBIE	bit3	R/W	I2C 接收满中断使能位 0: 禁止 1: 使能
I2CTEIE	bit4	R/W	I2C 发送错误中断使能位 0: 禁止 1: 使能
I2CROIE	bit5	R/W	I2C 接收溢出中断使能位 0: 禁止 1: 使能
I2CNAIE	bit6	R/W	I2C 未应答中断使能位 0: 禁止 1: 使能
-	bit7	-	-

寄存器名称	I2C 中断状态寄存器 (I2CIFC)		
地址	FFF5 _H		
复位值	1000 0100		
I2CSRIF	bit0	R/W	I2C 起始位中断标志位 0: 未接收到起始位+地址位且地址匹配+发送应答位 1: 接收到起始位+地址位且地址匹配+发送应答位, 产生中断标志 (软件清零)。
I2CSPIF	bit1	R/W	I2C 结束位中断标志位 0: 未接收到结束位 1: 接收到结束位, 产生中断标志
I2CTBIF	bit2	R	I2C 发送空中断标志位 2 级发送数据缓冲器未空时, 产生中断
I2CRBIF	bit3	R	I2C 接收满中断标志位 2 级接收数据缓冲器未空时, 产生中断
I2CTEIF	bit4	R/W	I2C 发送错误标志位 0: 2 级发送数据缓冲器未全空 1: 2 级发送数据缓冲器全空
I2CROIF	bit5	R/W	I2C 接收溢出中断标志位 0: 2 级接收数据缓冲器和 I2C 移位寄存器未全满 1: 2 级接收数据缓冲器和 I2C 移位寄存器全满
I2CNAIF	bit6	R/W	I2C 未应答中断标志位 0: 未接收或者未发送 NACK 1: 接收或发送 NACK
-	bit7	-	-

注: 清总中断标志 I2CIF 前, 先清除模块 I2CIFC 寄存器中断标志位。

5.4 模拟比较器及可编程脉冲发生器 (PPG)

5.4.1 概述

- ◆ 支持 5 个模拟比较器
- ◆ 支持 1 个运算放大器
- ◆ 支持 2 路高精度内部参考电压源
- ◆ 支持外部参考电压
- ◆ 支持比较器中断
- ◆ 支持可编程脉冲发生器 PPG
- ◆ 支持 PPG 沿启动 AD 转换
- ◆ 在低功耗模式下，比较器可唤醒 CPU
- ◆ 比较器 3 的输出可作为 EPWM 的关断事件

5.4.2 内部结构图

比较器的输入为两个模拟信号，输出为一个数字信号，CINN 和 CINP 为输入信号，Cout 为输出信号。当输入信号 CINN 大于输入信号 CINP 时，输出信号 Cout 为低电平（数字“0”）；当输入信号 CINN 小于输入信号 CINP 时，输出信号 Cout 为高电平（数字“1”）。

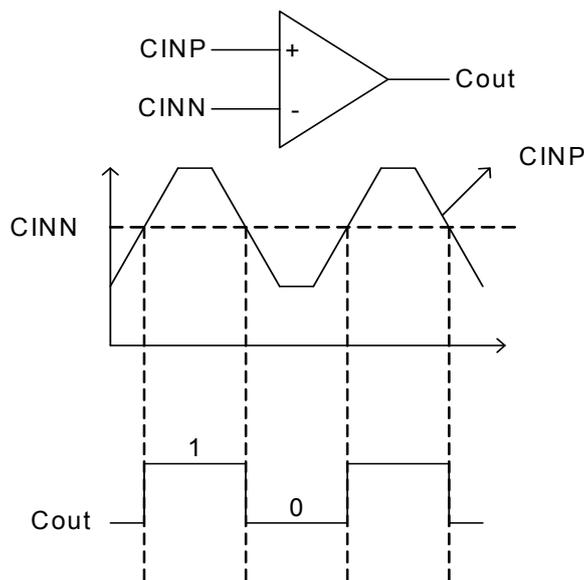


图 5-16 模拟比较器工作示意图

5.4.3 中断标志

当比较器的输出有变化时（即输出从“0”到“1”，或从“1”到“0”），在比较器中断使能位 ACPxIE 被置 1 的条件下，比较器才能产生中断，即中断标志位 ACPxIF 被置 1，此时，如果 GIE(INTG<7>)被置 1，则 CPU 会进入中断子程序进行中断处理。如果 CPU 进入休眠模式，那么比较器将仍处于工作状态，比较器产生的比较中断能唤醒 CPU。

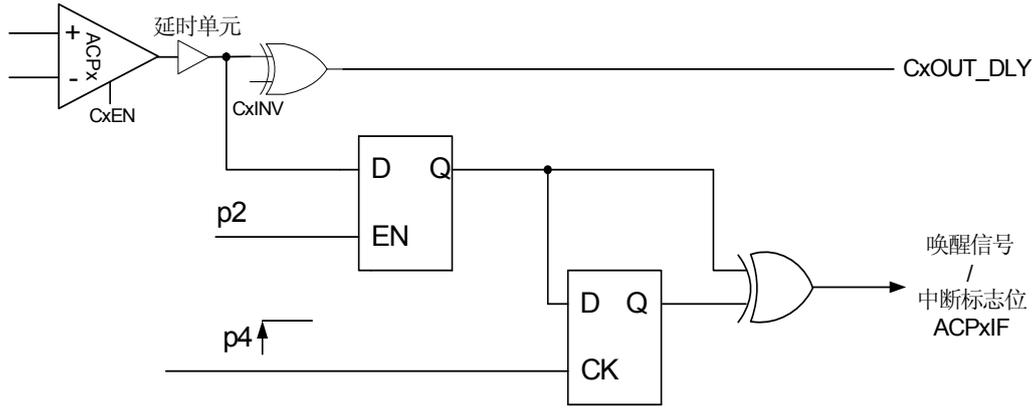


图 5-17 比较器 ACPx 中断产生示意图

注 1: 只有比较器 1、2、5 有输出延时单元控制。

5.4.4 可编程脉冲发生器 (PPG)

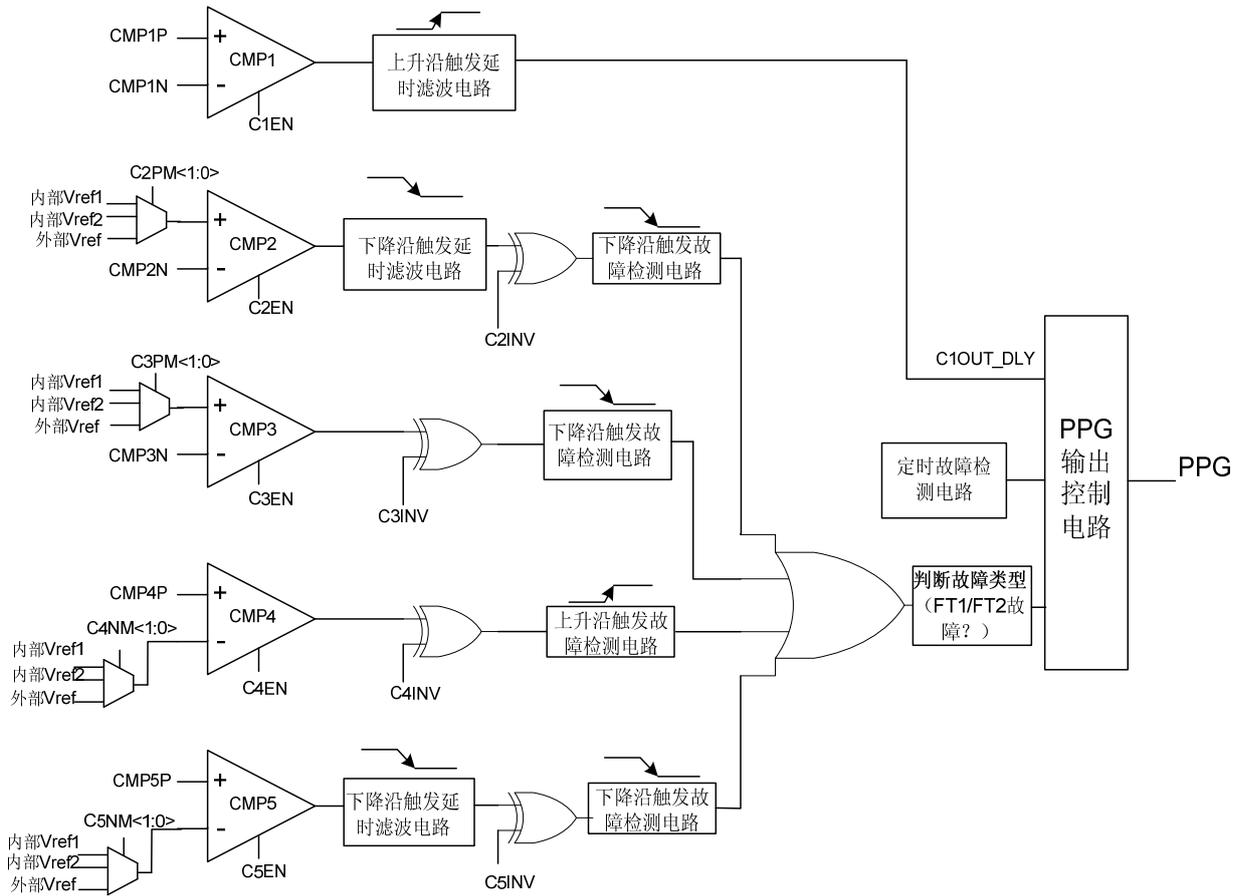


图 5-18 PPG 内部结构图

5.4.5 模拟比较器 1

模拟比较器 1 的正端与 PA1 管脚复用，负端与 PA0 管脚复用，比较器输出 C1OUT 也可通过寄存器 COUTEN 控制是否输出到 I/O 口。

比较器输出 C1OUT 为高电平时，上升沿触发延时电路后输出 C1OUT_DLY，延时时间由 CM1DLY 寄存器控制。CM1DLY 寄存器的设置只在比较器输出低电平或者比较器模块禁止时才有效。

5.4.6 故障检测寄存器 CMFTx

故障检测寄存器 CMFT1 和 CMFT2。当内部故障检测定时器与寄存器 CMFT1 相匹配时，发生 FT1 故障；如果内部故障检测定时器与寄存器 CMFT2 相匹配时，发生 FT2 故障。FT2 故障优先级高于 FT1 故障。内部故障检测定时器时间为 $T_{intosc16m} \times CMFTx$ ，与 CMFT1、CMFT2 和内部 16MHz 时钟有关，其中 $T_{intosc16m}$ 为内部 16MHz 时钟周期。通常设置 CMFT2 大于 CMFT1 寄存器的值。

5.4.7 模拟比较器 2

模拟比较器 2 的负输入端与 PA3 管脚复用，正输入端可通过软件配置选择接内部参考电压、外部参考电压。

比较器输出 C2OUT 为低时，C2OUT 下降沿触发延时电路输出 C2OUT_DLY，延时时间由 CM2DLY 寄存器控制，且 CM2DLY 寄存器的设置只在比较器输出高电平或者比较器模块禁止时才有效。C2OUT_DLY 输出能调整 C1OUT_DLY 的时序，C2OUT_DLY 下降沿触发故障检测定时器开始计数，如果计数时间大于 CMFT1 寄存器设定值，会暂停当前 C1OUT_DLY 周期输出；如果计数时间大于 CMFT2 寄存器设定值，则会关闭 C1OUT_DLY 输出，必须由软件清零故障寄存器 FT2CLR 位，恢复 C1OUT_DLY 输出。

5.4.8 模拟比较器 3

模拟比较器 3 的负输入端与 PA4 管脚复用，正输入端可通过软件配置选择接内部参考电压、外部参考电压。

比较器输出 C3OUT 为低时，C3OUT 下降沿触发故障检测定时器开始计数，如果计数时间大于 CMFT1 寄存器设定值，会暂停当前 C1OUT_DLY 周期输出；如果计数时间大于 CMFT2 寄存器设定值，则会关闭 C1OUT_DLY 输出，必须由软件清零故障寄存器 FT2CLR 位，恢复 C1OUT_DLY 输出。

5.4.9 模拟比较器 4

比较器 4 的正输入端与 PB5 管脚复用，负输入端可通过软件配置选择接内部参考电压、外部参考电压。

比较器输出 C4OUT 为高时，C4OUT 上升沿触发故障检测定时器开始计数，如果计数时间大于 CMFT1 寄存器设定值，会暂停当前 C1OUT_DLY 周期输出；如果计数时间大于 CMFT2 寄存器设定值，则会关闭 C1OUT_DLY 输出，必须由软件清零故障寄存器 FT2CLR 位，恢复 C1OUT_DLY 输出。特别注意：当使用模拟比较器时，同时使能 PPGEN 寄存器。

5.4.10 模拟比较器 5

比较器 5 的正输入端与 PA5 管脚复用，负输入端可通过软件配置选择接内部参考电压、外部参考电压。

比较器输出 C5OUT 输出为低时，C5OUT 上升沿触发延时电路输出 C5OUT_DLY，延长时间由 CM5DLY 寄存器控制，CM5DLY 寄存器的设置只有在比较器输出高电平或者比较器模块禁止时才有效。C5OUT_DLY 下降沿触发故障检测定时器开始计数，如果计数时间大于 CMFT1 寄存器设定值，会暂停当前 C1OUT_DLY 周期输出；如果计数时间大于 CMFT2 寄存器设定值，则会关闭 C1OUT_DLY 输出，必须由软件清零 FT2CLR 位，恢复 C1OUT_DLY 输出。

5.4.11 PPG输出

PPG 输出模式下，在 C1OUT_DLY 输出上升沿触发 T8P2 定时器开始工作，通过配置 T8P2P 周期寄存器来调整 PPG 输出的占空比，参考“PPG 输出波形示意图”。在 PPG 输出模式下，T8P2 模块使能位由硬件自动控制，T8P2IF 中断标志也由硬件自动清除。客户系统只需配置 T8P2 的预分频比和周期寄存器 T8P2P。T8P2 的具体操作参考 5.1.2 章节。

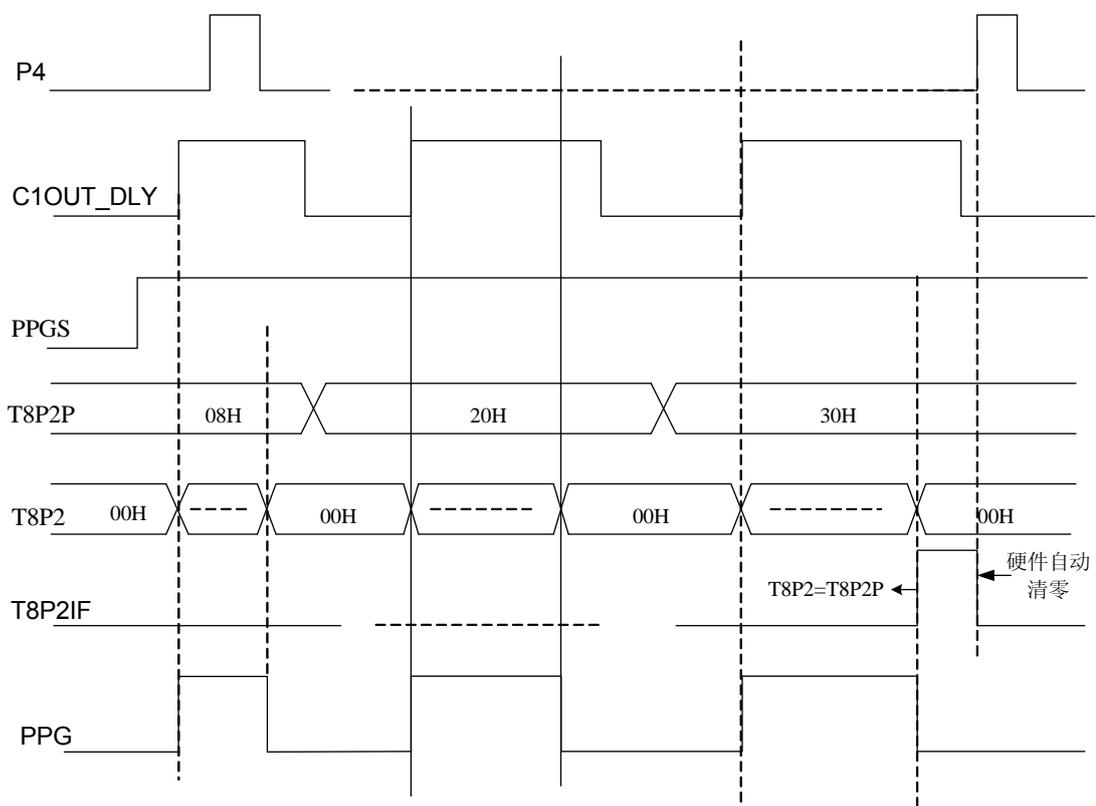


图 5-19 PPG 输出波形示意图

5.4.11.1 操作参考例程

应用例程 1: PPG 占空比调整。

```

... ..
MOVI    0xEC          ; 设置 PA5/PPG 为数字端口, PA0、PA1 为模拟端口
MOVA    ANSL
MOVI    0XDF

MOVA    PAT          ; 设置 PA5 为输出端口, PA0、PA1 为输入端口
MOVI    0X00
MOVA    CMFT1
MOVI    0X40
MOVA    CMFT2        ; 设置故障时间 CMFT2 大于 CMFT1
MOVI    0X01
MOVA    ACPC1        ; 使能比较器 1
MOVI    0X03
MOVA    PPGC          ; 设置 PPG 模块使能
MOVI    0X02
MOVA    T8P2C        ; 设置 T8P2 的预分频比
MOVI    0X26
MOVA    T8P2P        ; 设置 T8P2 周期寄存器
... ..

```

5.4.12 PPG启动AD转换

如果 ADC 转换和 PPG 触发 AD 转换 (ADEN=1, PPGADEN=1) 使能, 则当 PPG 有跳变时, 跳变沿触发内部计数器开始工作, 当计数器计数到和定时器 TMRADC 的值相等时, 可启动 ADC 转换。设置寄存器 PPGADS 选择转换沿, 在 ADC 转换还未完成前, 新的触发信号无效。当系统进入 IDLE 状态时, PPG 跳变沿不能触发 ADC 转换。

当比较器 1 模块不使能时, 可通过修改 ACPC1[6]寄存器的值, 实现软件控制 PPG 输出。

5.4.13 运算放大器应用

运放的正输入端可选择 VSS、I/O 端口或者内部参考电压 VREF, 负输入端接 I/O 端口。运放的输出 OPAO 与 ADC 采样通道 PB4/AIN11 复用。如果 ADC 采用通道选择 PB4/AIN11, 则运放的输出作为 ADC 的采用数据。

参考应用举例: 当 R1=1K 欧, R2=100K 欧, C=100nF 时, 可通过配置寄存器 OPAOFFSET<5:0>调节运放的偏移量。

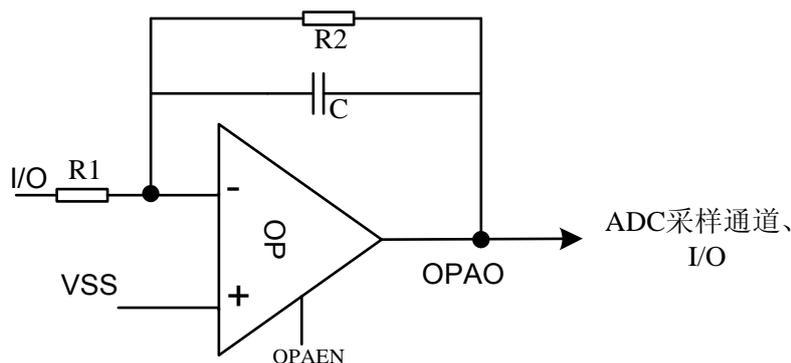


图 5-20 运放应用示意图

5.4.14 内部参考电压模块

通过设置 VRC1<7> (VREFEN) 寄存器，使能参考电源电压 VREF 模块，可通过校准寄存器 VREFCAL[2:0]位校准到 2.6V，参考电压 VREF 可配置输出到 IO 端口。出厂前，在常温下，VREF 已经校准到±2%以内。

支持两路 VREF1/VREF2 电压输出，输出范围在 0.6V~2.6V 间，两路输出电压可分别配置。

5.4.15 控制寄存器

寄存器名称	模拟比较器 1 控制寄存器 (ACPC1)		
地址	FFF6 _H		
复位值	0000 0000		
C1EN	bit0	R/W	比较器 1 使能控制位 0: 禁止 1: 使能
C1INV	bit1	R/W	比较器 1 输出极性控制位 0: 输出不反向 1: 输出反向
CM1DLY<1:0>	bit3-2	R/W	比较器 1 输出延时控制位 00: 不延时 01: 延时约 8 个 Tintosc16m 10: 延时约 16 个 Tintosc16m 11: 延时约 32 个 Tintosc16m
-	bit3-2	R/W	-
FT2CLR	bit4	R/W	PPG 故障 FT2 清除位 0: 故障未发生或者已经清除故障 1: 发生故障
-	bit5	-	-
C1OUT	bit6	R/W	比较器 1 输出状态位 0: CINN 大于 C1NP 1: CINN 小于 C1NP
COUTEN	bit7	R/W	比较器 1 输出 I/O 使能位 0: 禁止 1: 使能

寄存器名称	模拟比较器 2 控制寄存器 (ACPC2)		
地址	FFF7 _H		
复位值	0000 0000		
C2EN	bit0	R/W	比较器 2 使能控制位 0: 禁止 1: 使能
C2INV	bit1	R/W	比较器 2 输出极性控制位 0: 输出不反向 1: 输出反向
C2PM<1:0>	bit3-2	R/W	比较器 2 正输入端选择位 00: 外部 VREF 01: 内部 VREF1 10: 内部 VREF2 11: 外部 VREF
CM2DLY<1:0>	bit5-4	R/W	比较器 2 输出延时控制位 00: 不延时 01: 延时约 8 个 Tintosc16m 10: 延时约 16 个 Tintosc16m 11: 延时约 32 个 Tintosc16m
C2OUT	bit6	R	比较器 2 输出状态位 0: CINN 大于 C1NP 1: CINN 小于 C1NP
PPGADS	bit7	R/W	PPG 沿触发 AD 转换选择位 0: 上升沿 1: 下降沿

寄存器名称	模拟比较器 3 控制寄存器 (ACPC3)		
地址	FFF8 _H		
复位值	0000 0000		
C3EN	bit0	R/W	比较器 3 使能控制位 0: 禁止 1: 使能
C3INV	bit1	R/W	比较器 3 输出极性控制位 0: 输出不反向 1: 输出反向
C3PM<1:0>	bit3-2	R/W	比较器 3 正输入端选择位 00: 外部 VREF 01: 内部 VREF1 10: 内部 VREF2 11: 外部 VREF
-	bit5-4	-	-
C3OUT	bit6	R	比较器 3 输出状态位 0: CINN 大于 C1NP 1: CINN 小于 C1NP
-	bit7	-	-

寄存器名称	模拟比较器 4 控制寄存器 (ACPC4)		
地址	FFF9 _H		
复位值	0000 0000		
C4EN	bit0	R/W	比较器 4 使能控制位 0: 禁止 1: 使能
C4INV	bit1	R/W	比较器 4 输出极性控制位 0: 输出不反向 1: 输出反向
-	bit3-2	-	-
C4NM<1:0>	bit5-4	R/W	比较器 4 负输入端选择位 00: 外部 VREF 01: 内部 VREF1 10: 内部 VREF2 11: 外部 VREF
C4OUT	bit6	R	比较器 4 输出状态位 0: CINN 大于 C1NP 1: CINN 小于 C1NP
-	bit7	-	-

寄存器名称	模拟比较器 5 控制寄存器 (ACPC5)		
地址	FFFA _H		
复位值	0000 0000		
C5EN	bit0	R/W	比较器 5 使能控制位 0: 禁止 1: 使能
C5INV	bit1	R/W	比较器 5 输出极性控制位 0: 输出不反向 1: 输出反向
CM5DLY<1:0>	bit3-2	R/W	比较器 5 输出延时控制位 00: 未延时 01: 延时约 8 个 Tintosc16m 10: 延时约 16 个 Tintosc16m 11: 延时约 32 个 Tintosc16m
C5NM<1:0>	bit5-4	R/W	比较器 5 负输入端选择位 00: 外部 VREF 01: 内部 VREF1 10: 内部 VREF2 11: 外部 VREF
C5OUT	bit6	R	比较器 5 输出状态位 0: C _{INN} 大于 C _{INP} 1: C _{INN} 小于 C _{INP}
-	bit7	-	-

寄存器名称	内部参考电压控制寄存器 1 (VRC1)		
地址	FFFB _H		
复位值	0000 0000		
VOUTEN	bit0	R/W	内部参考电压 VREF 2.6V 输出 PB7 使能位 0: 禁止 1: 使能
VRC1S<2:0>	bit3-1	R/W	内部参考电压 VREF1 选择位 000: 0.6V 001: 1.5V 010: 1.6V 011: 2.1V 100: 2.2V 101: 2.3V 110: 2.5V 111: 2.6V
VRC2S<2:0>	bit6-4	-	内部参考电压 VREF2 选择位 000: 0.6V 001: 1.5V 010: 1.6V 011: 2.1V 100: 2.2V 101: 2.3V 110: 2.5V 111: 2.6V
VREFEN	bit7	R/W	VREF 和 ADCVREF 2.6V 参考电压模块使能位 0: 禁止 1: 使能

注：使用 VREF2.6 和 ADVREF2.6 时，必须使能 VREFEN。

寄存器名称	PPG 控制寄存器 (PPGC)		
地址	FFFC _H		
复位值	0000 0000		
PPGEN	bit0	R/W	PPG 模式使能位 0: PPG 模式禁止 1: PPG 模式使能
PPGS	bit1	R/W	PPG 模式输出选择位 0: (禁止使用) 1: PPG 模式输出
PPGINV	bit2	R/W	PPG 输出极性使能位 0: 输出不反向 1: 输出反向
PPGADEN	bit3	R/W	PPG 触发 AD 转换使能位 0: 禁止 1: 使能
CMXOFFSET<3:0>	bit7-4	R/W	比较器偏置电压调节位 0000: (默认值)

注：当 PPGEN 使能时，T8P2 配置为 PPG 模块的定时器，此时 T8P2 由硬件自动控制。

寄存器名称	故障 FT1 检测寄存器 (CMFT1)		
地址	FFFD _H		
复位值	0000 0000		
CMFT1<7:0>	bit7-0	R/W	故障 FT1 检测时间控制位

寄存器名称	运放控制寄存器 (OPAC)		
地址	FFFE _H		
复位值	0000 0000		
OPAPS<1:0>	bit1-0	R/W	运放模块使能位 00: 禁止 01: 运放正端接 VSS 10: 运放正端接 VREF 11: 运放正端接 I/O 端口
OPAOFFSET<5:0>	bit7-2	R/W	运放失调偏置电压调节位 000000: (默认值)

寄存器名称	故障 FT2 检测寄存器 (CMFT2)		
地址	FFFF _H		
复位值	0000 0000		
CMFT2<7:0>	bit7-0	R/W	故障 FT2 检测时间控制位

注：CMFT2 寄存器的值必须设置大于 CMFT1 寄存器的值。

寄存器名称	2.6V 校准控制寄存器 (VREFCAL)		
地址	FFA2 _H		
复位值	0000 0000		
VR2D6CAL <2:0>	bit2-0	R/W	VREF2.6V 校准控制位 000: 最小 100: 典型值 111: 最大
AD2D6CAL <4:0>	bit7-3	R/W	ADCVREF 2.6V 参考电压校准控制位 00000: 最小 10000: 典型值 11111: 最大

注：在出厂前，芯片 2.6V 参考电压已经在常温 25°C 条件下校准，校准精度在 ±2% 以内。

5.5 模/数转换器 (ADC)

5.5.1 概述

- ◆ 支持 12 位 AD 采样精度
- ◆ 支持 14 个模拟输入端
- ◆ 支持 12 位转换结果，高位对齐放置或低位对齐放置
- ◆ 支持可配置参考电压，可选择外部或内部参考电压 ADCVREF
- ◆ 支持可配置 AD 转换时钟
- ◆ 支持自动控制 AD 采样时间

5.5.2 内部结构图

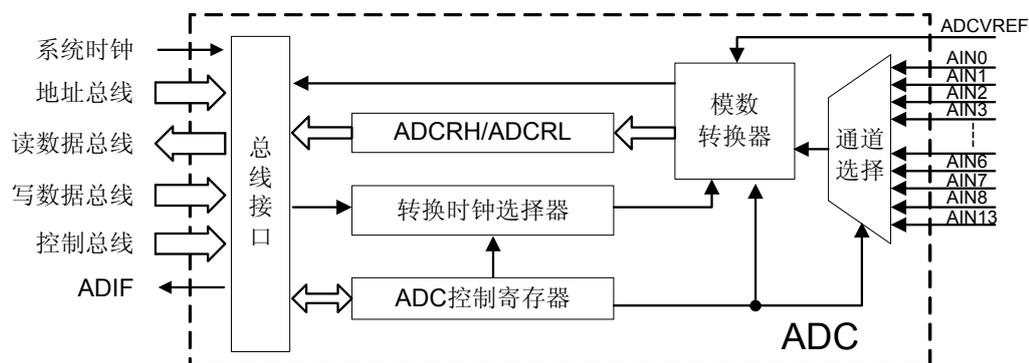


图 5-21 ADC 内部结构图

5.5.3 AD通道选择

模拟输入端	ADCHS
AIN0	0000
AIN1	0001
AIN2	0010
AIN3	0011
AIN4	0100
AIN5	0101
AIN6	0110
AIN7	0111
AIN8	1000
AIN9	1001
AIN10	1010
AIN11	1011
AIN12	1100
AIN13	1101
ADCVREF	1110
保留	1111

表 5-7 AD 通道配置表

注 1: 配置 AD 输入通道前, 必须将 AINx 所在管脚设置为模拟端口;

注 2: 内部 ADC 参考电压模块输出 2.6V 电压 (ADCVREF)。

5.5.4 AD时序特征示意图

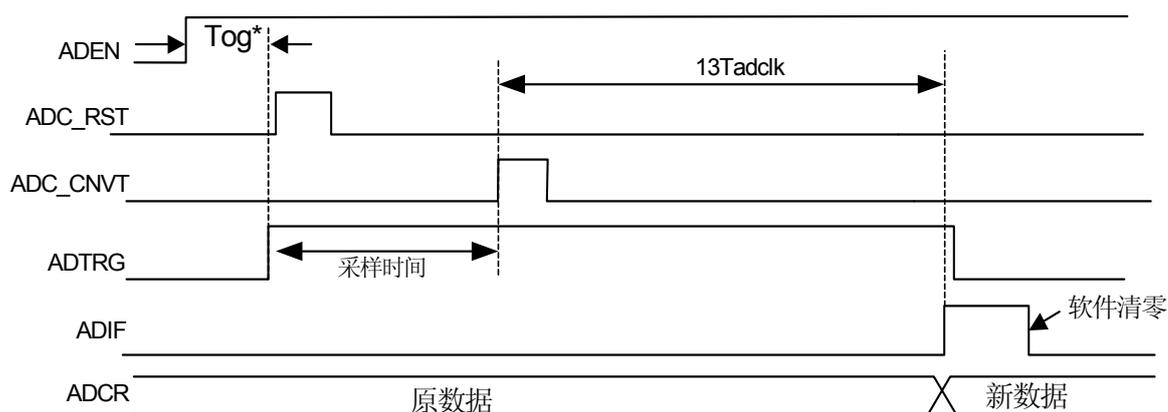


图 5-22 ADC 时序特征示意图 (SMPS=1)

注 1: Tog>0;

注 2: AD 转换时钟周期 Tadclk, Tadclk 可通过 ADCKS 寄存器配置。

5.5.5 参考例程

应用例程：对模拟输入通道 0 (AIN0 进行模数转换)

```

BCC    ANSL,0           ; AIN0 所在端口配置为模拟端口
BCC    ADCCH, ADFM      ; 转换结果高位对齐放置
MOVI   0X01
MOVA   ADCCL            ; 使能 ADC 转换器，选中通道 0
BSS    ADCCL, SMPS     ; 硬件控制 ADC 采样模式
AD_WAIT
JBC    ADCCL, ADTRG    ; 等待 ADC 转换完成
GOTO   AD_WAIT
MOV    ADCRH, 0         ; 读取高 8 位转换结果
... ..
MOV    ADCRL, 0         ; 读取低 4 位转换结果

```

5.5.6 特殊功能寄存器

寄存器名称	ADC 参数寄存器 (ADCTST)		
地址	FFD9 _H		
复位值	0000 0000		
AINEN	bit0	R/W	模拟信号输入缓冲使能位 0: 禁止 1: 使能
ADHSEN	bit1	R/W	AD 转换速度控制位 0: 低速 (AD 转换时钟频率在 2MHz 以下) 1: 高速
-	bit7-2	-	-

注 1: 当设置为低速 (ADHSEN=0) 时, 要求 Tadclk 的频率低于 2MHz。

注 2: 当设置为高速 (ADHSEN=1) 时, 要求 VDD 大于 4V 以上。

注 3: 其它参考附录 3.1 《参数特性表》中 12 位 ADC 特性表。

寄存器名称	ADC 转换值寄存器<7:0> (ADCRL)		
地址	FFDA _H		
复位值	XXXX XXXX		
ADCRL<7:0>	bit7-0	R/W	A/D 转换结果低 8 位/低 4 位

寄存器名称	ADC 转换值寄存器<15:8> (ADCRH)		
地址	FFDB _H		
复位值	XXXX XXXX		
ADCRH<7:0>	bit7-0	R/W	A/D 转换结果高 4 位/高 8 位

寄存器名称	ADC 控制寄存器<7:0> (ADCCL)		
地址	FFDC _H		
复位值	0000 0000		
ADEN	bit0	R/W	A/D 转换使能位 0: 关闭 A/D 转换器 1: 运行 A/D 转换器
ADTRG	bit1	R/W	A/D 转换状态位 0: A/D 未进行转换, 或 A/D 转换已完成 1: A/D 转换正在进行, 该位置 1 启动 A/D 转换
SMPS	bit2	R/W	A/D 采样模式选择位 0: 软件控制 (禁止使用) 1: 硬件控制
-	bit3	R/W	-
ADCHS<3:0>	bit7-4	R/W	A/D 模拟通道选择位 0000: 通道 0 (AIN0) 0001: 通道 1 (AIN1) 0010: 通道 2 (AIN2) 0011: 通道 3 (AIN3) 0100: 通道 4 (AIN4) 0101: 通道 5 (AIN5) 0110: 通道 6 (AIN6) 0111: 通道 7 (AIN7) 1000: 通道 8 (AIN8) 1001: 通道 9 (AIN9) 1010: 通道 10 (AIN10) 1011: 通道 11 (AIN11) 1100: 通道 12 (AIN12) 1101: 通道 13 (AIN13) 1110: 通道 14 (ADCVREF) 1111: 屏蔽通道选择

注: 如果由软件控制 AD 采样时间, 客户需根据实际应用电路, 确认 AD 采样时间, 否则 AD 转换可能不正确。不推荐使用软件控制 AD 采样时间, 以简化对 ADC 工作的控制。

寄存器名称	ADC 控制寄存器<15:8> (ADCCH)		
地址	FFDD _H		
复位值	0100 1000		
ADVREFS	bit1-0	R/W	参考源选择位 00: A/D 参考电压正端为 VDD, 负端为 VSS 01: A/D 参考电压正端为内部 ADCVREF, 负端为 VSS(必须配置 VRC1<7>(VREFEN)为 1) 10: A/D 参考电压正端为外部 VREFP, 负端为 VSS 11: A/D 参考电压正端为外部 VREFP, 负端为外部 VREFN
ADST	bit3-2	R/W	A/D 采样时间选择位 (有一个指令周期的偏差) 00: 大约 2 个 Tadclk 01: 大约 4 个 Tadclk 10: 大约 8 个 Tadclk 11: 大约 16 个 Tadclk
ADCKS	bit6-4	R/W	A/D 转换时钟频率 (Tadclk) 选择位 000: Fosc 001: Fosc/2 010: Fosc/4 011: Fosc/8 100: Fosc/16 101: Fosc/32 110: Fosc/64 111: WDT_RC
ADFM	bit7	R/W	A/D 转换数据放置格式选择位 0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>) 1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)

注：如果在 AD 转换过程中，进行转换时钟切换，切换后第一次 AD 转换结果有可能存在误差。

寄存器名称	端口数模控制寄存器<7:0> (ANSL)		
地址	FFDE _H		
复位值	0000 0000		
ANSL<6:0>	bit6-0	R/W	数模选择位 0: AIN0~AIN6 为模拟输入端口 1: AIN0~AIN6 为数字输入端口
-	bit7	-	-

寄存器名称	端口数模控制寄存器<15:8> (ANSH)		
地址	FFDF _H		
复位值	0000 0000		
ANSH<6:0>	bit6-0	R/W	数模选择位 0: AIN7~AIN13 为模拟输入端口 1: AIN7~AIN13 为数字输入端口
-	bit7	-	-

寄存器名称	内部参考电压控制寄存器 1 (VRC1)		
地址	FFFB _H		
复位值	0000 0000		
VOUTEN	bit0	R/W	内部参考电压 VREF 2.6V 输出 PB7 使能位 0: 禁止 1: 使能
VRC1S<2:0>	bit3-1	R/W	内部参考电压 VREF1 选择位 000: 0.6V 001: 1.5V 010: 1.6V 011: 2.1V 100: 2.2V 101: 2.3V 110: 2.5V 111: 2.6V
VRC2S<2:0>	bit6-4	-	内部参考电压 VREF2 选择位 000: 0.6V 001: 1.5V 010: 1.6V 011: 2.1V 100: 2.2V 101: 2.3V 110: 2.5V 111: 2.6V
VREFEN	bit7	R/W	VREF 和 ADCVREF 2.6V 参考电压模块使能位 0: 禁止 1: 使能

注：使用 VREF2.6 和 ADVREF2.6 时，必须使能 VREFEN。

第 6 章 特殊功能及操作特性

6.1 系统时钟与振荡器

6.1.1 概述

本芯片支持外部振荡器和 2 种内部时钟源模式，外部振荡器包括 HS/XT 振荡模式，内部 16MHz RC 振荡包括 INTOSC 和 INTOSCIO 模式。具体的时钟源和对应模式选择由芯片配置字 OSCS <2:0> 位来决定。

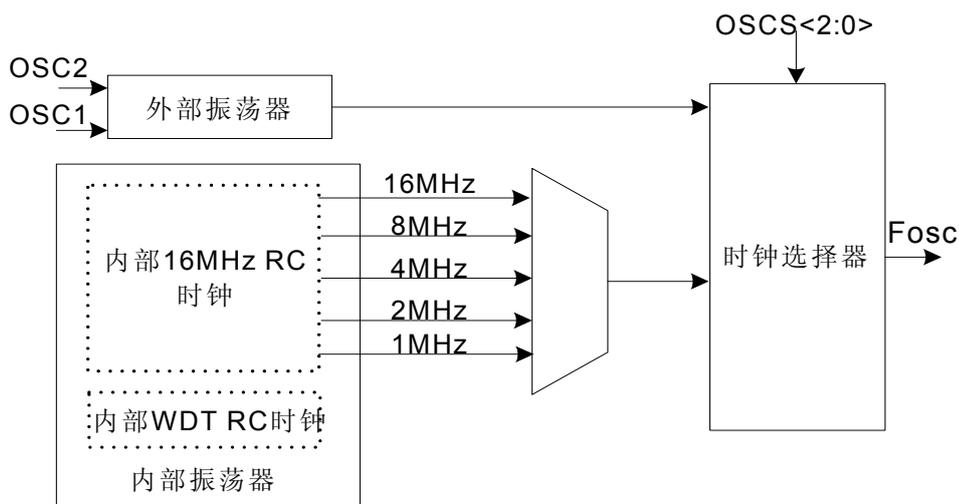


图 6-1 系统时钟内部结构图

6.1.2 晶体/陶瓷振荡器模式（HS、XT 模式）

当芯片配置字的 OSCS <2:0> = 000 时，选择 HS 模式；OSCS <2:0> = 001 时，选择 XT 模式。

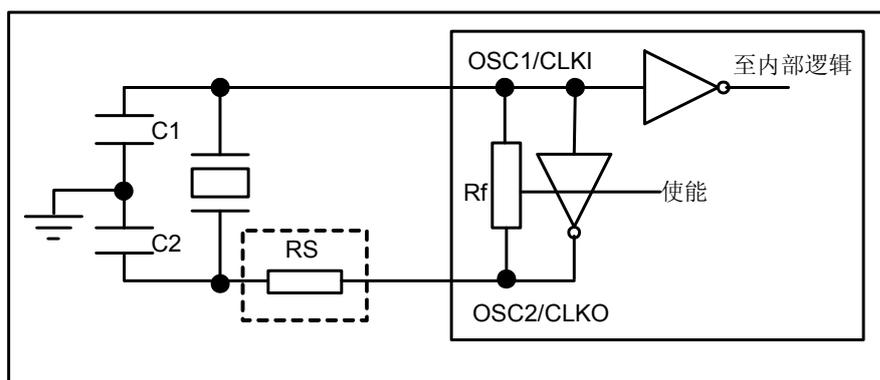


图 6-2 晶体/陶瓷振荡器模式（HS、XT 模式）

注：RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	16MHz		

表 6-1 晶体振荡器电容参数参考表

注*: 此数据可根据晶振频率大小、外围电路的不同作微调。

6.1.3 内部时钟模式 (INTOSC和INTOSCIO)

在 INTOSCIO 模式下, PA0, PA1 管脚复用为通用 I/O 口。

在 INTOSC 模式下, PA0 管脚复用输出 CLKO, CLKO 输出系统时钟的 16 分频时钟 $F_{osc}/16$, PA1 复用为通用 I/O 口。

在出厂前, 芯片已经在常温 25°C 条件下校准, 在芯片工作电压范围 ($V_{DD}=3.0V\sim 5.5V$) 内, 校准精度为 $\pm 2\%$ 。

6.1.4 特殊功能寄存器

寄存器名称	内部 16MHz 时钟校准寄存器低 8 位(OSCCALL)		
地址	FFA4 _H		
复位值	0000 0000		
OSCCALL<7:0>	bit7-0	R/W	内部 16MHz 频率调节低 8 位 0000 0000: 最小 1111 1111: 最大

寄存器名称	内部 16MHz 时钟校准寄存器高 2 位(OSCCALH)		
地址	FFA5 _H		
复位值	0000 0000		
OSCCALH<1:0>	bit1-0	R/W	内部 16MHz 频率调节高 2 位 00: 最小 11: 最大
-	bit7-2	-	-

6.2 看门狗定时器 (WDT)

6.2.1 概述

如果芯片配置字看门狗使能位 WDTEN=1 时，看门狗使能，如果 WDTEN=0 时，看门狗禁止。

当看门狗超时溢出时，芯片复位或者唤醒 IDLE 模式。使用 CWDT 指令可将 WDT 计数器清零。WDT 支持一个预分频器，对 WDT 输入时钟进行预分频，再将分频后的时钟信号作为 WDT 定时器的计数时钟。在禁止预分频器时，WDT 使用内部 WDT 时钟进行计数，常温下时钟频率约为 32KHz，WDT 的计数溢出时间约为 8ms。

6.2.2 内部结构图

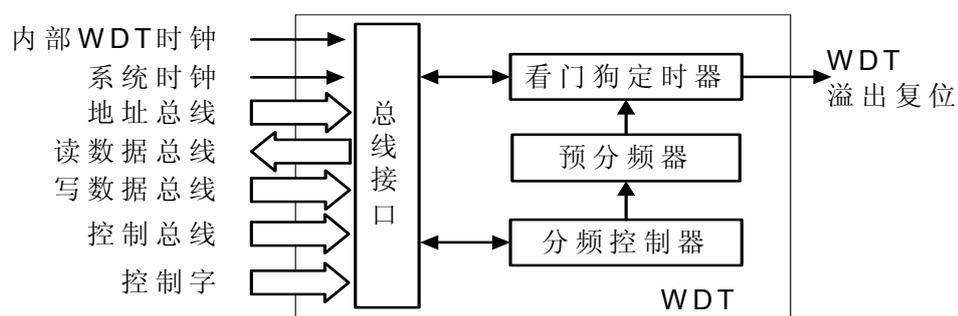


图 6-3 看门狗定时器内部结构图

6.2.3 特殊功能寄存器

寄存器名称				WDT 时钟校准控制寄存器 (WDTCAL)			
地址				FFA3 _H			
复位值				1000 0000			
WDTCAL<7:0>	Bit7-0	R/W	WDT 32KHz 时钟校准寄存器 0000 0000: 最大 1111 1111: 最小				

寄存器名称				WDT 控制寄存器 (WDTC)			
地址				FFA7 _H			
复位值				0000 1111			
WDTPRS<2:0>	Bit2-0	R/W	WDT 预分频器分频比选择位 000: 1:2 001: 1:4 010: 1:8 011: 1:16 100: 1:32 101: 1:64 110: 1:128 111: 1:256				
WDTPRE	bit3	R/W	WDT 预分频器使能位 0: 禁止 1: 使能				
-	bit7-4	-	-				

6.3 复位模块

6.3.1 概述

- ◆ 上电复位 POR
- ◆ 低电压检测复位 BOR
- ◆ 外部端口 N_MRST 复位（低电平有效）
- ◆ 看门狗定时器 WDT 溢出复位
- ◆ 软件执行指令 RST 复位

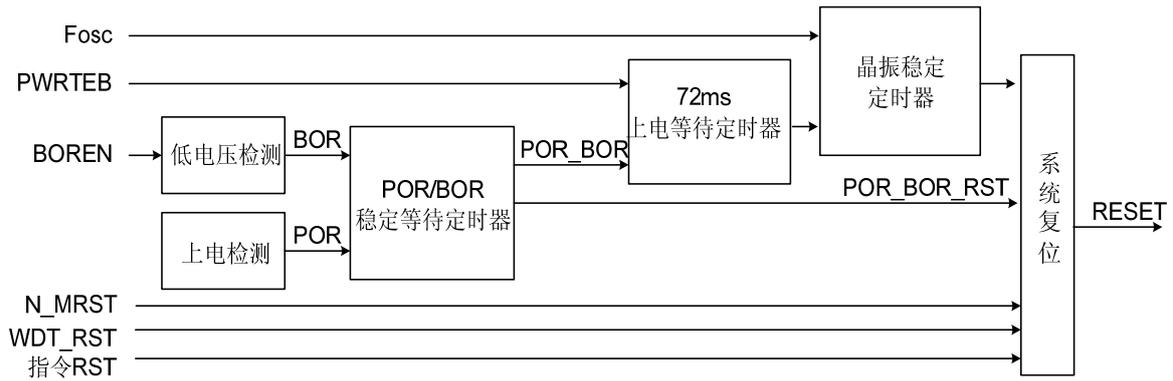


图 6-4 芯片复位原理图

6.3.2 复位时序图

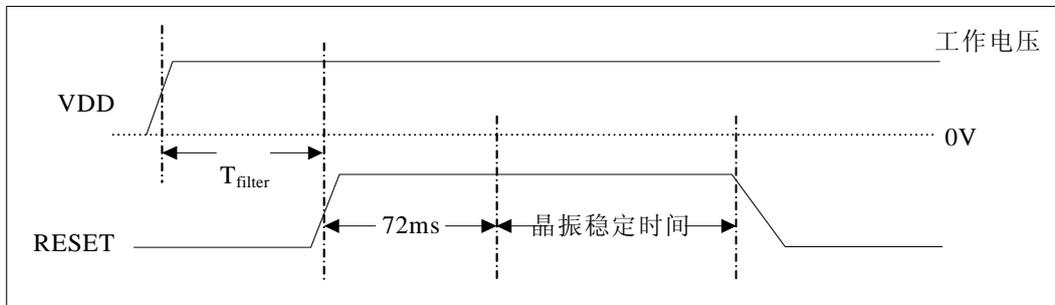


图 6-5 上电复位时序示意图

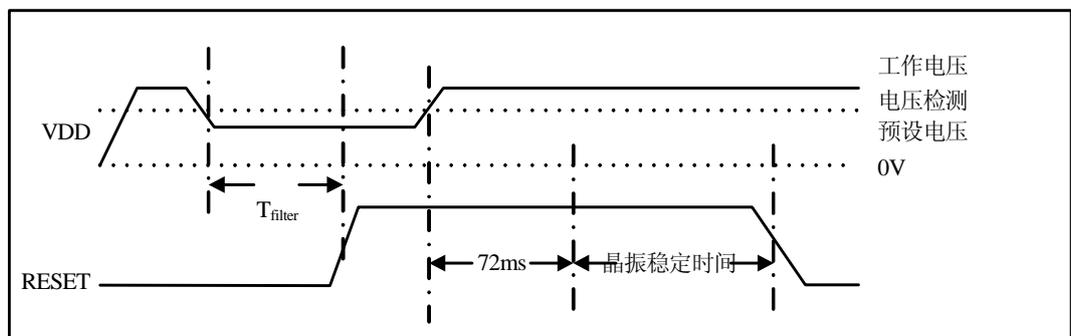


图 6-6 低电压复位时序示意图

注 1: 72ms 等待稳定时间可以通过 PWRTEB 屏蔽。

6.3.3 N_MRST复位参考

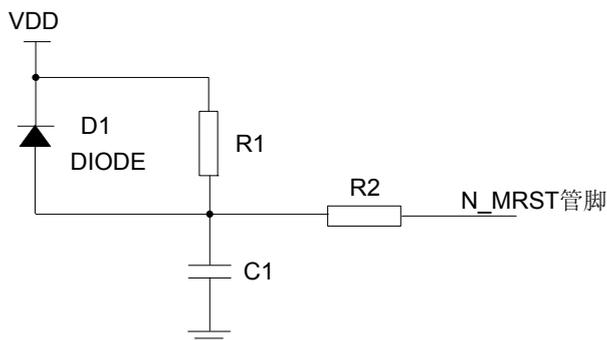


图 6-7 N_MRST 复位参考电路图 1

注：采样 RC 复位，其中 $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 (0.1 μF)，R2 为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

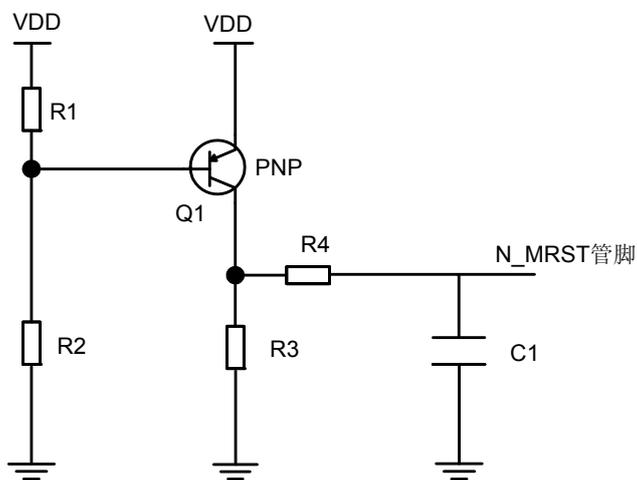


图 6-8 N_MRST 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 (2K Ω) 和 R2 (10K Ω) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K Ω) 接地，另一路通过 R4 (1K Ω) 和 C1 (0.1 μF) 接地，C1 另一端作为 N_MRST 输入。

6.3.4 特殊功能寄存器

寄存器名称		电源控制寄存器 (PWRC)	
地址	FFA6 _H		
复位值	0111 1101		
N_BOR	bit0	R/W	低电压复位状态位 0: 低电压复位发生 (低电压复位后, 必须软件置位) 1: 无低电压复位发生
N_POR	bit1	R/W	上电复位状态位 0: 上电复位发生 (上电复位后, 必须软件置位) 1: 无上电复位发生
N_PD	bit2	R	低功耗标志位 0: 执行 IDLE 指令后清零 1: 上电复位或执行 CWDT 指令后置 1
N_TO	bit3	R	WDT 溢出标志位 0: WDT 计数溢出时被清零 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
N_RSTI	bit4	R/W	复位指令标志位 0: 执行复位指令 (清零后必须用软件置位) 1: 未执行复位指令
VRST<1:0>	Bit6-5	R/W	LDO 稳定时间选择位 00: 约 7 个 WDT_RC 时钟周期 01: 约 16 个 WDT_RC 时钟周期 10: 约 32 个 WDT_RC 时钟周期 11: 约 64 个 WDT_RC 时钟周期
LPM	bit7	R/W	休眠模式选择位 0: IDLE0 模式 1: IDLE1 模式

注: LDO 为芯片内置供电模块, 给芯片内部电路模块供电。

寄存器名称		功耗控制寄存器 (PWEN)	
地址	FFA9 _H		
复位值	0000 0011		
SREN	Bit0	R/W	低电压检测复位软件使能位 当配置字 BOREN 使能时, 0: 禁用 1: 使能 当配置字 BOREN 禁止时, 此位无效
RCEN	Bit1	R/W	WDT 内部 RC 时钟使能位 0: 关闭 WDT 内部 RC 时钟 (禁止使用) 1: 使能 WDT 内部 RC 时钟
-	Bit7-2	-	-

注 1: 如果要求低功耗, 进入 IDLE 前可设置 SREN, 关闭相应的功能模块。RCEN 禁止关闭。

注 2: 如果进行自编程操作时, 设置 RCEN 为 0, 关闭相应的功能模块。其它情况下, 不建议关闭。

6.4 中断处理

6.4.1 概述

本芯片支持 17 个中断源。支持两种中断模式, 默认中断模式和向量中断模式, 通过软件设置寄存器 INTVEN0 选择。

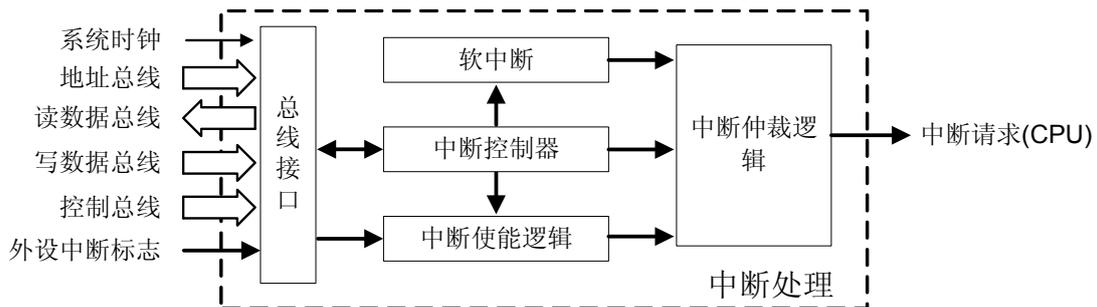


图 6-9 中断控制逻辑

6.4.2 中断模式配置

{INTVEN0, INTVEN1}	中断模式
00	默认中断模式
01	
10	
11	向量中断模式

表 6-2 中断处理模式配置表

注: INTG 控制寄存器 INTVEN0 位与配置字 INTVEN1 位必须同时为 1 才能使用向量中断模式。

6.4.3 中断逻辑表

序号	中断名	中断标志	中断屏蔽	中断使能	全局使能	备注
1	软中断	SOFTIF	-	-	GIE	-
2	KINT	KIF	KMSK0	KIE	GIE	-
			KMSK1			
			KMSK2			
			KMSK3			
3	PINT0	PIF0	-	PIE0	GIE	-
4	PINT1	PIF1	-	PIE1	GIE	-
5	T8NINT	T8NIF	-	T8NIE	GIE	-
6	T8P1INT	T8P1IF	-	T8P1IE	GIE	-
7	T8P2INT	T8P2IF	-	T8P2IE	GIE	-
8	T8P3INT	T8P3IF	-	T8P3IE	GIE	-
9	ACP1INT	ACP1IF	-	ACP1IE	GIE	-
10	ACP2INT	ACP2IF	-	ACP2IE	GIE	-
11	ACP3INT	ACP3IF	-	ACP3IE	GIE	-
12	ACP4INT	ACP4IF	-	ACP4IE	GIE	-
13	ACP5INT	ACP5IF	-	ACP5IE	GIE	-
14	ADINT	ADIF	-	ADIE	GIE	-
15	TXINT	TXIF	-	TXIE	GIE	-
16	RXINT	RXIF	-	RXIE	GIE	-
17	I2CINT	I2CIF	-	I2CIE	GIE	-

表 6-3 中断逻辑表（默认中断模式）

注 1: 当配置为默认中断模式时, 所有中断向量的入口地址均位于 0004H。用户需通过中断服务程序对各中断标志及中断使能进行判断, 确认引起中断操作的中断源, 从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

6.4.4 向量中断模式

6.4.4.1 向量表配置

优先级	0 (高)	1	2	3	4	5	6	7	8 (低)	
入口地址	0004H	0008H	000CH	0010H	0014H	0018H	001CH	0020H	0024H	
INTV	00	软中断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	01		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	10		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

表 6-4 向量表配置表

注：当配置为向量中断模式时，系统支持中断向量表。此时，各中断源按组划分，每组中断对应一个中断向量入口地址。软中断入口地址为 0004H，优先级最高；其他硬件中断分 8 组(IG0~IG7)，配置 INTV<1:0>支持不同的向量表优先级排序，并对应 8 个中断入口地址。每组硬件中断可以分别设置高低优先级，响应中断嵌套。通过配置 IGPx 将所有硬件中断源分为高低两个优先级仲裁区。根据 INTV<1:0>的设置，对处于该仲裁区内的硬件中断组，进行优先级排序，并响应优先级最高的。高低两个优先级仲裁区分别由 GIE 和 GIEL 来使能。在执行低优先级中断服务程序时，可嵌套响应高优先级中断组。

6.4.4.2 中断分组配置

中断组号	高低优先级选择	中断名	备注
IG0	IGP0	KINT	-
		T8NINT	
IG1	IGP1	T8P1INT	-
		T8P2INT	
		T8P3INT	
IG2	IGP2	PINT0	-
		PINT1	
IG3	IGP3	TXINT	-
		RXINT	
IG4	IGP4	ADINT	-
IG5	IGP5	ACP1INT	-
		ACP2INT	
		ACP3INT	
		ACP4INT	
		ACP5INT	
IG6	IGP6	I2CINT	-
IG7	IGP7	-	-

表 6-5 中断向量分组表

6.4.4.3 中断使能配置

序号	中断名	中断标志	中断使能	IGPx	高/低优先级 中断使能位	备注
1	软中断	SOFTIF	-	-	GIE	SOFTIF 软件置 1
2	PINT0	PIF0	PIE0	0	GIEL	-
				1	GIE	-
3	PINT1	PIF1	PIE1	0	GIEL	-
				1	GIE	-
4	T8NINT	T8NIF	T8NIE	0	GIEL	-
				1	GIE	-
5	T8P1INT	T8P1IF	T8P1IE	0	GIEL	-
				1	GIE	-
6	T8P2INT	T8P2IF	T8P2IE	0	GIEL	-
				1	GIE	-
7	T8P3INT	T8P3IF	T8P3IE	0	GIEL	-
				1	GIE	-
8	TXINT	TX1IF	TX1IE	0	GIEL	-
				1	GIE	-
9	RXINT	RX1IF	RX1IE	0	GIEL	-
				1	GIE	-
10	ADINT	ADIF	ADIE	0	GIEL	-
				1	GIE	-
11	KINT	KIF	KIE	0	GIEL	-
				1	GIE	-
12	ACP1INT	ACP1IF	ACP1IE	0	GIEL	-
				1	GIE	-
13	ACP2INT	ACP2IF	ACP2IE	0	GIEL	-
				1	GIE	-
14	ACP3INT	ACP3IF	ACP3IE	0	GIEL	-
				1	GIE	-
15	ACP4INT	ACP4IF	ACP4IE	0	GIEL	-
				1	GIE	-
16	ACP5INT	ACP5IF	ACP5IE	0	GIEL	-
				1	GIE	-
17	I2CINT	I2CIF	I2CIE	0	GIEL	-
				1	GIE	-

表 6-6 向量中断模式使能配置表

6.4.5 特殊功能寄存器

寄存器名称		中断全局寄存器 (INTG)	
地址	FF96 _H		
复位值	0000 0000		
INTV<1:0>	bit1-0	R/W	中断向量表选择位, 参考向量表配置
INTVEN0	bit2	R/W	中断向量表 0: 默认中断模式 1: 向量中断模式 (芯片配置字 INTVEN1 必须为 1)
SOFTIF	bit3	R/W	软中断标志位 0: 无软中断 1: 有软中断
-	bit5-4	-	-
GIEL	bit6	R/W	低优先级中断使能位 (向量中断模式) 0: 禁止低优先级中断 1: 使能低优先级中断
GIE	bit7	R/W	全局中断使能位, 或高优先级中断使能位 0: 禁止所有的中断, 或禁止高优先级中断 1: 使能所有未屏蔽的中断, 或使能高优先级中断

寄存器名称		中断优先级寄存器 (INTP)	
地址	FF97 _H		
复位值	0000 0000		
IGP<7:0>	bit7-0	R/W	IG7-IG0 中断优先级设置 0: 低优先级 1: 高优先级

寄存器名称		中断控制寄存器 0 (INTC0)	
地址	FF98 _H		
复位值	0000 0000		
KMSKx<3:0>	bit3-0	R/W	KINx 按键输入屏蔽位 0: 屏蔽 1: 不屏蔽
-	bit5-4	-	-
PEG0	bit6	R/W	PINT0 触发边沿选择位 0: PINT0 下降沿触发 1: PINT0 上升沿触发
PEG1	bit7	R/W	PINT1 触发边沿选择位 0: PINT1 下降沿触发 1: PINT1 上升沿触发

寄存器名称	中断标志寄存器 0 (INTF0)		
地址	FF9B _H		
复位值	0000 0000		
KIF	bit0	R/W	电平变化中断标志位 0: 未产生中断 1: 产生中断
T8NIF	bit1	R/W	T8N 溢出中断标志位 0: T8N 计数未溢出 1: T8N 计数溢出 (必须用软件清零)
T8P1IF	bit2	R/W	T8P1 中断标志位 0: T8P1 计数器计数未发生匹配 1: T8P1 计数器计数发生匹配 (必须软件清零)
T8P2IF	bit3	R/W	T8P2 中断标志位 0: T8P2 计数器计数未发生匹配 1: T8P2 计数器计数发生匹配 (必须软件清零)
T8P3IF	bit4	R/W	T8P3 中断标志位 0: T8P3 计数器计数未发生匹配 1: T8P3 计数器计数发生匹配 (必须软件清零)
-	bit5	-	-
PIF0	bit6	R/W	外部端口中断 0 标志位 0: 外部端口 PINT0 上无中断信号 1: 外部端口 PINT0 上有中断信号 (必须用软件清零)
PIF1	bit7	R/W	外部端口中断 1 标志位 0: 外部端口 PINT1 上无中断信号 1: 外部端口 PINT1 上有中断信号 (必须用软件清零)

寄存器名称	中断使能寄存器 0 (INTE0)		
地址	FF9A _H		
复位值	0000 0000		
KIE	bit0	R/W	电平变化中断使能位 0: 禁止 1: 使能
T8NIE	bit1	R/W	T8N 溢出中断使能位 0: 禁止 T8N 中断 1: 使能 T8N 中断
T8P1IE	bit2	R/W	T8P1 中断使能位 0: 禁止 T8P1 中断 1: 使能 T8P1 中断
T8P2IE	bit3	R/W	T8P2 中断使能位 0: 禁止 T8P2 中断 1: 使能 T8P2 中断
T8P3IE	bit4	R/W	T8P3 中断使能位 0: 禁止 T8P3 中断 1: 使能 T8P3 中断
-	bit5	-	-
PIE0	bit6	R/W	外部端口中断 0 使能位 0: 禁止外部端口中断 0 1: 使能外部端口中断 0
PIE1	bit7	R/W	外部端口中断 1 使能位 0: 禁止外部端口中断 1 1: 使能外部端口中断 1

寄存器名称	中断标志寄存器 1 (INTF1)		
地址	FF9D _H		
复位值	0000 0000		
ADIF	bit0	R/W	ADC 中断标志位 0: 正在进行 AD 转换 1: AD 转换已经完成 (必须用软件清零)
ACP1IF	bit1	R/W	ACP1 中断标志位 0: 模拟比较器 1 输出未发生改变 1: 模拟比较器 1 输出发生改变 (必须软件清零)
ACP2IF	bit2	R/W	ACP2 中断标志位 0: 模拟比较器 2 输出未发生改变 1: 模拟比较器 2 输出发生改变 (必须软件清零)
ACP3IF	bit3	R/W	ACP3 中断标志位 0: 模拟比较器 3 输出未发生改变 1: 模拟比较器 3 输出发生改变 (必须软件清零)
ACP4IF	bit4	R/W	ACP4 中断标志位 0: 模拟比较器 4 输出未发生改变 1: 模拟比较器 4 输出发生改变 (必须软件清零)
ACP5IF	bit5	R/W	ACP5 中断标志位 0: 模拟比较器 5 输出未发生改变 1: 模拟比较器 5 输出发生改变 (必须软件清零)
-	bit7-6	-	-

寄存器名称		中断使能寄存器 1 (INTE1)	
地址	FF9C _H		
复位值	0000 0000		
ADIE	bit0	R/W	ADC 中断使能位 0: 禁止 ADC 中断 1: 使能 ADC 中断
ACP1IE	bit1	R/W	ACP1 模拟比较器中断使能位 0: 禁止 ACP1 中断 1: 使能 ACP1 中断
ACP2IE	bit2	R/W	ACP2 模拟比较器中断使能位 0: 禁止 ACP2 中断 1: 使能 ACP2 中断
ACP3IE	bit3	R/W	ACP3 模拟比较器中断使能位 0: 禁止 ACP3 中断 1: 使能 ACP3 中断
ACP4IE	bit4	R/W	ACP4 模拟比较器中断使能位 0: 禁止 ACP4 中断 1: 使能 ACP4 中断
ACP5IE	bit5	R/W	ACP5 模拟比较器中断使能位 0: 禁止 ACP5 中断 1: 使能 ACP5 中断
-	bit7-6	-	-

寄存器名称		中断标志寄存器 2 (INTF2)	
地址	FF9F _H		
复位值	0000 0000		
TXIF	bit0	R	UART 发送中断标志位 0: 发送缓冲区满 (发送未完成) 1: 发送缓冲区空 (发送完成), 写 TXB 清零
RXIF	bit1	R	UART 接收中断标志位 0: 接收缓冲区空 (接收未完成) 1: 接收缓冲区满 (接收完成), 读 RXB 清零
-	bit5-2	-	-
I2CIF	bit6	R/W	I2CS 通讯总中断标志位 0: 未发生通讯中断 1: 发生通讯中断
-	bit7	-	-

寄存器名称		中断使能寄存器 2 (INTE2)	
地址	FF9E _H		
复位值	0000 0000		
TXIE	bit0	R/W	UART 发送中断使能位 0: 禁止 1: 使能
RXIE	bit1	R/W	UART 接收中断使能位 0: 禁止 1: 使能
-	bit5-2	-	-
I2CIE	bit6	R/W	I2CS 通讯总中断使能位 0: 禁止 1: 使能
-	bit7	-	-

6.5 低功耗操作

6.5.1 MCU低功耗模式

本芯片支持两种低功耗休眠模式: IDLE0 模式或 IDLE1 模式, 通过设置 PWRC 寄存器 LPM (PWRC<7>) 进行选择。

- ◆ 支持 IDLE0 模式
 - 当 LPM = 0 时, 执行 IDLE 指令, 芯片进入 IDLE0 模式:
 - 时钟源停振, 主系统时钟暂停
 - 程序暂停、同步模块暂停、异步模块运行, 器件功耗降低
 - 支持低功耗唤醒, 唤醒时间可配, 同时需要考虑 LDO 稳定时间
 - 所有 I/O 端口将保持进入 IDLE0 模式前的状态
 - 若使能 WDT, 则 WDT 将被清零并保持运行
 - N_PD 位被清零, N_TO 位被置 1
- ◆ 支持 IDLE1 模式
 - 当 LPM = 1 时, 执行 IDLE 指令, 芯片进入 IDLE1 模式:
 - 时钟源保持运行, 主系统时钟暂停
 - 程序暂停、同步模块暂停、异步模块运行, 器件功耗降低
 - 支持低功耗唤醒, 唤醒时间可配, 最小 1 个机器周期
 - 所有 I/O 端口将保持进入 IDLE1 前的状态
 - 若使能 WDT, 则 WDT 将被清零并保持运行
 - N_PD 位被清零, N_TO 位被置 1

6.5.2 低功耗模式配置

低功耗模式	LPM
IDLE0 模式	0
IDLE1 模式	1

表 6-7 低功耗模式配置表

注: 配置 LPM (PWRC<7>) 选择低功耗模式, 执行 IDLE 指令进入低功耗模式。为了降低功耗, 所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流, 应在外部将高阻输入的 I/O 管脚拉为高电平或低电平。

6.5.3 IDLE唤醒方式配置

序号	唤醒方式	中断屏蔽	中断使能	中断模式	备注
1	N_MRST	-	-	-	-
2	WDT	-	-	-	WDT 溢出
3	KINT	KMSK0	KIE	默认/向量	-
		KMSK1			
		KMSK2			
		KMSK3			
4	PINT0	-	PIE0	默认/向量	-
5	PINT1	-	PIE1	默认/向量	-
6	ACP1INT	-	ACP1IE	默认/向量	-
7	ACP2INT	-	ACP2IE	默认/向量	-
8	ACP3INT	-	ACP3IE	默认/向量	-
9	ACP4INT	-	ACP4IE	默认/向量	-
10	ACP5INT	-	ACP5IE	默认/向量	-

表 6-8 唤醒时间计算表

注 1: 低功耗唤醒与全局中断使能无关。在低功耗模式时, 若外设产生中断信号, 即使默认中断模式下, 全局中断使能 GIE 为 0, 或向量中断模式下, 高优先级中断使能 GIE 和低优先级中断使能 GIEL 均为 0, 低功耗模式依然会被唤醒, 只是唤醒后不会执行中断程序。

注 2: 外部按键, 当中断使能和中断屏蔽位使能前, 先对端口寄存器进行读或者写的操作, 清除中断标志位, 以免误产生中断。

6.5.4 唤醒时间计算

低功耗模式	计算公式
IDLE0 模式	$VRwkdly + (WKDC[7:4] + 1) \times 16 \times 2 \text{ Tosc}$
IDLE1 模式	$(WKDC[7:0]+1) \times 2 \text{ Tosc}$

表 6-9 唤醒时间计算表

注: 当唤醒事件发生后, 需要在主时钟运行 n 个时钟周期后, 才执行 IDLE 指令的下一条指令。n 可以通过 WKDC 进行设置; 在 IDLE1 模式下, 支持最小 1 个机器周期唤醒; 在 IDLE0 模式下, 需要先等主时钟源稳定后, 再计算 n 个周期。

6.5.5 特殊功能寄存器

寄存器名称		唤醒延时控制寄存器 (WKDC)	
地址		FFA8 _H	
复位值		1111 1111	
WKDC <7:0>	bit7-0	R/W	IDLE 唤醒延时控制位 当 WKDC<7:0> = FF _H 时, 延时最长 当 WKDC<7:0> = 00 _H 时, 延时最短

6.6 芯片配置字

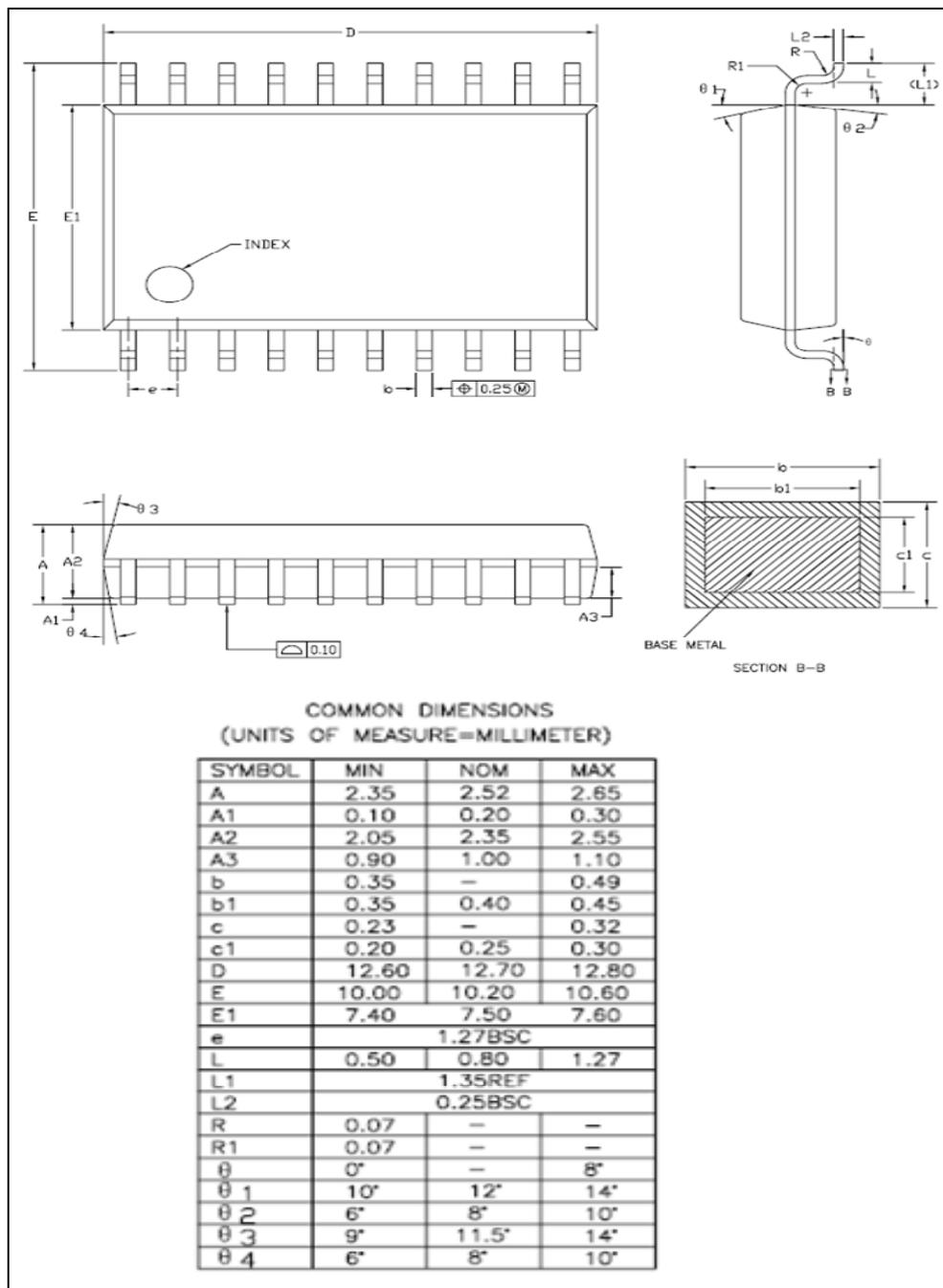
寄存器名称	芯片配置字 (CFG_WD)	
地址	8001 _H	
OSCS <2:0>	bit2-0	振荡器选择位 000: HS 模式, 高速晶振/谐振器连接到 PA0 和 PA1 管脚 001: XT 模式, 晶振/谐振器连接到 PA0 和 PA1 管脚 010: INTOSCIO 1MHz 模式, PA0, PA1 为 I/O 管脚 011: INTOSCIO 2MHz 模式, PA0, PA1 为 I/O 管脚 100: INTOSCIO 4MHz 模式, PA0, PA1 为 I/O 管脚 101: INTOSCIO 8MHz 模式, PA0, PA1 为 I/O 管脚 110: INTOSC 16MHz 模式, PA0 管脚功能为 CLKO, PA1 为 I/O 管脚 111: INTOSCIO 16MHz 模式, PA0, PA1 为 I/O 管脚
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电/低电压定时器使能位 0: 使能 1: 禁止
-	bit5	默认为 1
BORVS	bit7-6	低电压选择位 00: 4.0V 01: 3.3V 10: 2.4V 11: 2.1V (默认)
BOREN	bit8	低电压检测复位使能位 0: 禁止 1: 使能
FREN	bit9	FLASH 数据存储区读写使能位 0: 禁止 1: 使能
ICDEN	bit10	ICD 调试模式使能位 0: 使能 1: 禁止
INTVEN1	bit11	中断模式选择位 0: 默认中断模式 1: 向量中断模式 (控制寄存器位 INTVEN0 也必须为 1)
-	bit15-12	默认为 1

注: CLKO 为系统时钟 16 分频输出

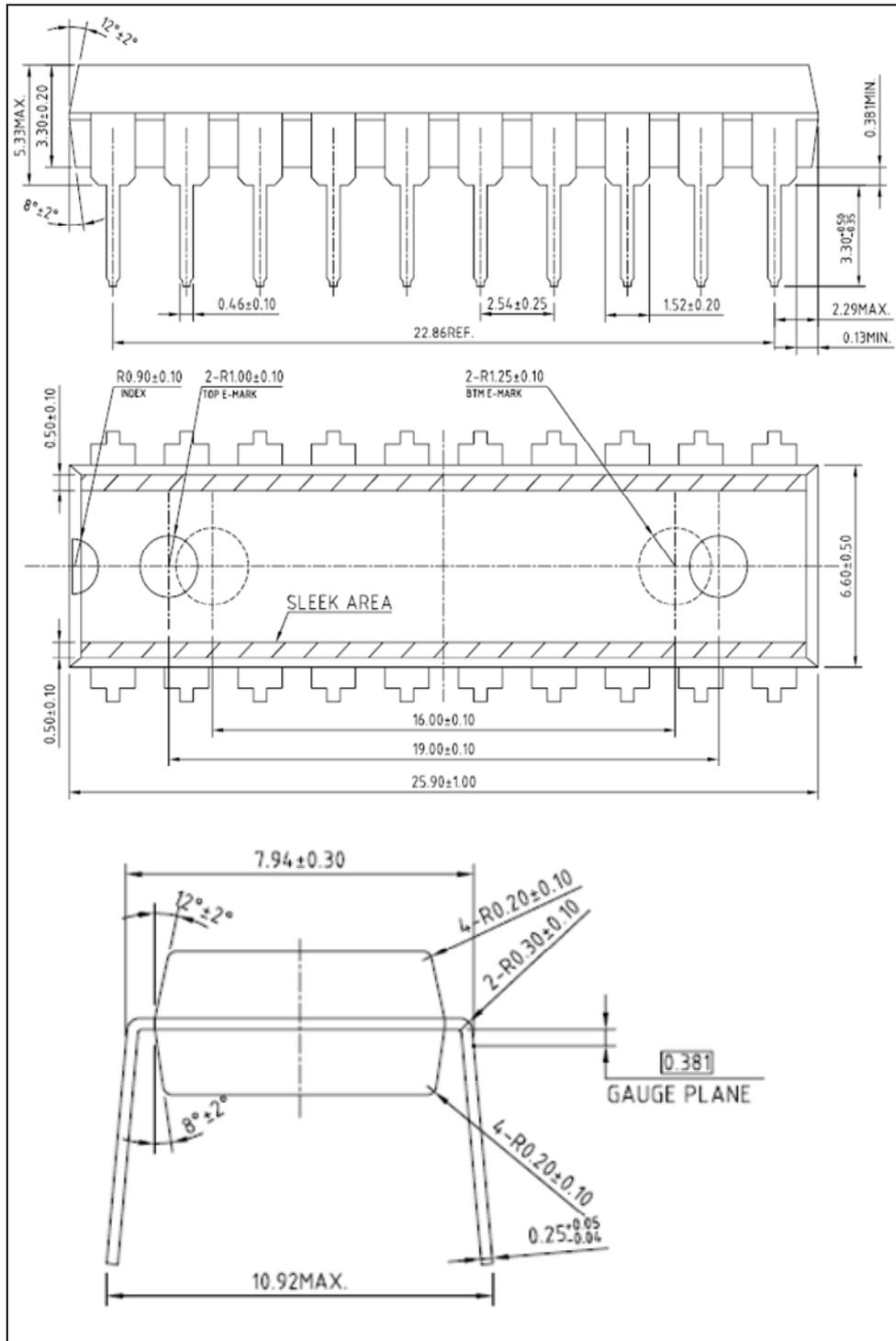
第 7 章 芯片封装图

7.1 20-pin 封装图

SOP20

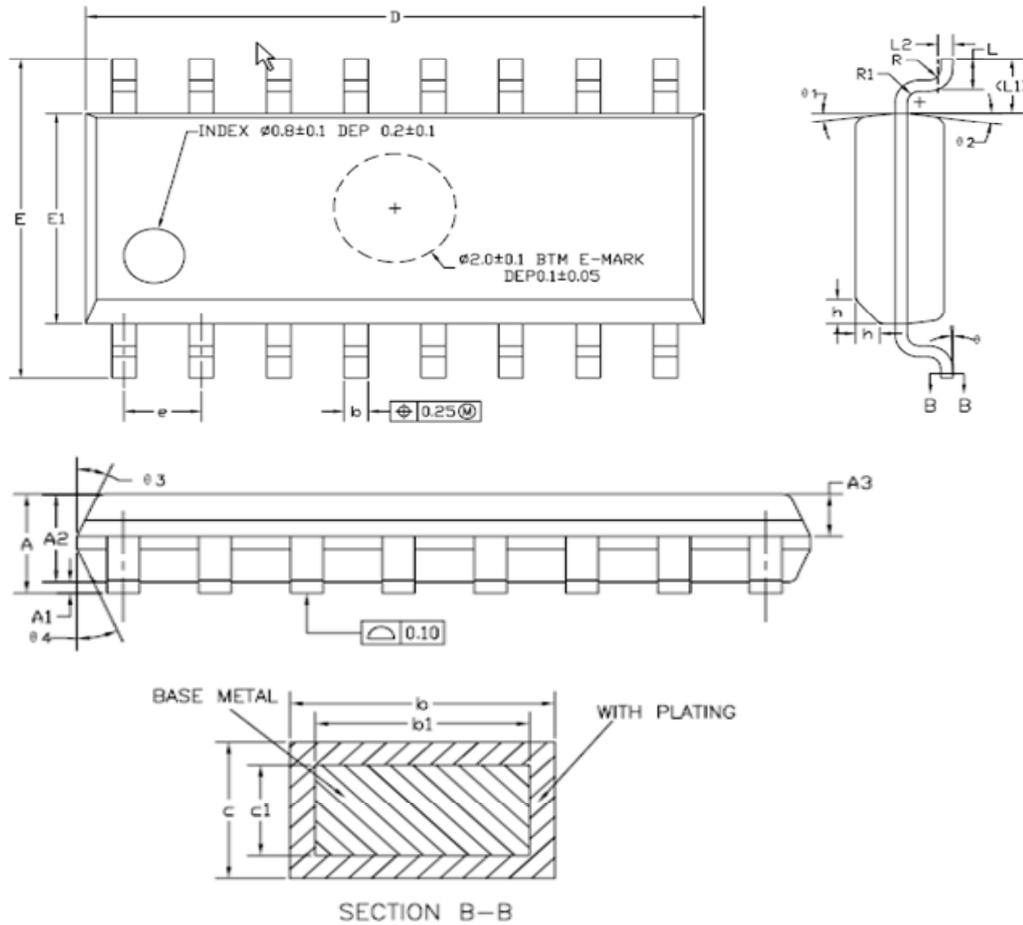


DIP20



7.2 16-pin 封装图

SOP16

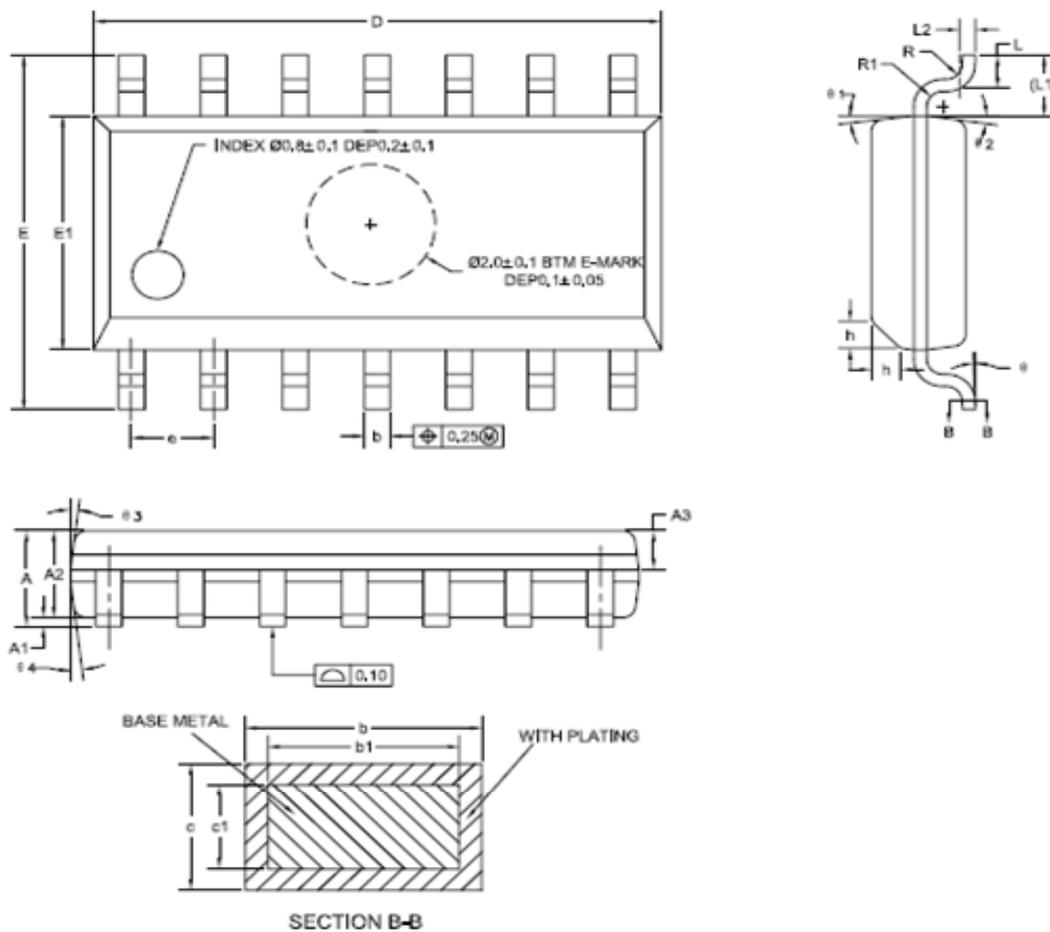


COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	1.35	1.60	1.75
A1	0.10	0.15	0.25
A2	1.25	1.45	1.65
A3	0.55	0.65	0.75
Δ b	0.36	—	0.51
b1	0.35	0.40	0.45
Δ c	0.17	—	0.25
Δ c1	0.17	0.20	0.23
D	9.80	9.90	10.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.45	0.60	0.80
L1	1.04REF		
L2	0.25BSC		
R	0.07	—	—
R1	0.07	—	—
h	0.30	0.40	0.50
θ	0°	—	8°
θ_1	6°	8°	10°
θ_2	6°	8°	10°
θ_3	5°	7°	9°
θ_4	5°	7°	9°

7.3 14-pin 封装图

SOP14



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	1.35	1.60	1.75
A1	0.10	0.15	0.25
A2	1.25	1.45	1.65
A3	0.55	0.65	0.75
b	0.36	-	0.49
b1	0.35	0.40	0.45
△ c	0.17	-	0.25
△ c1	0.17	0.20	0.23
D	8.53	8.63	8.73
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.45	0.60	0.80
L1	1.04REF		
L2	0.25BSC		
R	0.07	-	-
R1	0.07	-	-
h	0.30	0.40	0.50
θ	0°	-	8°
θ 1	6°	8°	10°
θ 2	6°	8°	10°
θ 3	5°	7°	9°
θ 4	5°	7°	9°

附录1 指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响 状态位	机器周期	操作
1	SECTION	I<7:0>	-	1	I<7:0>->BKSR<7:0>
2	PAGE	I<8:0>	-	1	I<4:0>->PCRH<7:3>
3	ISTEP	I<7:0>	-	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	-	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	-	1	(A)->(R)
7	MOVAR	R<10:0>	-	1	(A)->({1'b0, R<9:7>,1'b0,R<6:0>})
8	MOVRA	R<10:0>	-	1	({1'b0,R<9:7>, 1'b0,R<6:0>})->(A)

附录1.3 程序控制指令

序号	指令	指令	影响状态位	机器周期	操作
9	JUMP	I<7:0>	-	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	-	2	I<13:0>->PC<13:0> I<13:8>->PCRH<5:0>
11	GOTO	I<10:0>	-	2	I<10:0>->PC<10:0>, PCRH<5:3>->PC<13:11>
12	CALL	I<10:0>	-	2	PC+1->TOS,I<10:0>->PC<10:0>, PCRH<5:3>->PC<13:11>
13	LCALL	I<19:0>	-	2	PC+1->TOS,I<13:0>->PC<13:0> I<13:8>->PCRH<5:0>
14	RCALL	R<7:0>	-	2	PC+1->TOS, (R)->PC<7:0>, PCRH<5:0>->PC<13:8>,
15	JBC	R<7:0>,B<2:0>	-	2	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>,B<2:0>	-	2	当 R = 1 时跳过下一条指令
17	JCAIE	I<7:0>	-	2	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	-	2	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	-	2	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	-	2	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	-	2	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	-	2	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>,B<2:0>	-	2	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>,B<2:0>	-	2	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>,B<2:0>	-	2	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>,F	-	2	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>,F	-	2	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	-	-	1	空操作
29	POP	-	-	1	AS->A,PSWS->PSW, BKSR->BKSRs,PCRHS->PCRH
30	PUSH	-	-	1	A->AS,PSW->PSWS, BKSR->BKSRs,PCRHS->PCRHS
31	RET	-	-	2	TOS->PC
32	RETIA	I<7:0>	-	2	I->(A),TOS->PC
33	RETIE	-	-	2	TOS->PC,1->GIE
34	RST	-	全部状态位 均被影响	1	软件复位指令
35	CWDT	-	N_TO,N_PD	1	00H->WDT,0->WDTPrescaler, 1-> N_TO, 1-> N_PD
36	IDLE	-	N_TO,N_PD	1	00H->WDT,0->WDTPrescaler, 1-> N_TO, 0-> N_PD

附录1.4 算术/逻辑运算指令

序号	指令	影响状态位	机器周期	操作
37	ADD	R<7:0>,F	C,DC,Z,OV,N	1 (R)+(A)->(目标)
38	ADDC	R<7:0>,F	C,DC,Z,OV,N	1 (R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C,DC,Z,OV,N	1 I+(A)+C->(A)
40	ADDI	I<7:0>	C,DC,Z,OV,N	1 I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1 (A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1 I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	-	1 0->R
44	BSS	R<7:0>,B<2:0>	-	1 1->R
45	BTT	R<7:0>,B<2:0>	-	1 (~R)->R
46	CLR	R<7:0>	Z	1 (R)=0
47	SETR	R<7:0>	-	1 FF _H ->(R)
48	NEG	R<7:0>	C,DC,Z,OV,N	1 ~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1 (~R)->(目标)
50	DAR	R<7:0>,F	C	1 对(R)十进制调整->(目标)
51	DAA	-	C	1 对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C,DC,Z,OV,N	1 (R-1)->(目标)
53	INC	R<7:0>,F	C,DC,Z,OV,N	1 (R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1 (A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1 I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1 C<< R<7:0> <<C
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1 R<7:0> << R<7>
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1 C>> R<7:0> >>C
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1 R<0> >> R<7:0>
60	SUB	R<7:0>,F	C,DC,Z,OV,N	1 (R)-(A)->(目标)
61	SUBC	R<7:0>,F	C,DC,Z,OV,N	1 (R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1 I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1 I-(A)->(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1 (A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1 (A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1 (A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1 (A)-I->(A)
68	SWAP	R<7:0>,F	-	1 R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	-	-	2 Pmem(FRA)->ROMD
70	TBR#1	-	-	2 Pmem(FRA)-> ROMD, FRA+1->FRA

71	TBR_1	-	-	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	-	-	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	-	-	2	ROMD->prog buffer
74	TBW#1	-	-	2	ROMD->prog buffer, FRA+1->FRA
75	TBW_1	-	-	2	ROMD->prog buffer, FRA-1->FRA
76	TBW1#	-	-	2	FRA+1->FRA, ROMD->prog buffer
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

注：指令集说明

- 1: i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
- 2: C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
- 3: TOS—顶级堆栈。
- 4: 如果 F = 0， 则目标寄存器为寄存器 A； 如果 F = 1， 则目标寄存器为寄存器 R。
- 5: 79 条指令中另有一条 NOP 指令未在上表中描述。
- 6: SECTION 指令中， N 的位数， 视实际芯片而定。对本芯片， 通用数据存储器 GPR 分为 8 个存储体组， 所以 N 的位数是 3 位。
- 7: PAGE 指令中， N 的位数， 视实际芯片而定。对本芯片， 没有 PCRU 寄存器， N 的位数是 3 位。
- 8: PC 的位数以及 PCRU 寄存器， 视实际芯片而定。对本芯片， PC 的位数是 13 位， 没有 PCRU 寄存器。

附录2 特殊功能寄存器总表

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FF80 _H	IAD	间接寻址数据寄存器								0000 0000
FF81 _H	IAAL	间接寻址索引寄存器<7:0>								0000 0000
FF82 _H	IAAH	间接寻址索引寄存器<15:8>								0000 0000
FF83 _H	BKSR	存储体选择寄存器								0000 0000
FF84 _H	PSW	-	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 _H	AREG	A 寄存器								xxxx xxxx
FF86 _H	PCRL	程序计数器<7:0>								0000 0000
FF87 _H	PCRH	程序计数器<15:8>								0000 0000
FF88 _H	MULA/MULL	乘数 A 寄存器/乘积寄存器<7:0>								xxxx xxxx
FF89 _H	MULB/MULH	乘数 B 寄存器/乘积寄存器<15:8>								xxxx xxxx
FF8A _H	DIVEL/DIVQL	被除数寄存器<7:0>/商寄存器<7:0>								xxxx xxxx
FF8B _H	DIVEH/DIVQH	被除数寄存器<15:8>/商寄存器<15:8>								xxxx xxxx
FF8C _H	DIVS/DIVR	除数寄存器/余数寄存器<7:0>								xxxx xxxx
FF8D _H	-	-								-
FF8E _H	-	-								-
FF8F _H	-	-								-
FF90 _H	FRAL	程序存储器查表地址寄存器<7:0>								xxxx xxxx
FF91 _H	FRAH	程序存储器查表地址寄存器<15:8>								xxxx xxxx
FF92 _H	ROMDL	程序存储器查表数据寄存器<7:0>								xxxx xxxx
FF93 _H	ROMDH	程序存储器查表数据寄存器<15:8>								xxxx xxxx
FF94 _H	ROMCL	-	-	-	-	FPEE	WREN	WR	-	0000 0000
FF95 _H	ROMCH	程序存储器控制寄存器<15:8>								0000 0000
FF96 _H	INTG	GIE	GIEL	-	-	SOFTIF	INTVEN0	INTV<1:0>		0000 0000
FF97 _H	INTP	IGP<7:0>								0000 0000
FF98 _H	INTC0	PEG1	PEG0	-	-	KMSKx<3:0>			0000 0000	
FF99 _H	-	-								-
FF9A _H	INTE0	PIE1	PIE0	-	T8P3IE	T8P2IE	T8P1IE	T8NIE	KIE	0000 0000
FF9B _H	INTF0	PIF1	PIF0	-	T8P3IF	T8P2IF	T8P1IF	T8NIF	KIF	0000 0000
FF9C _H	INTE1	-	-	ACP5IE	ACP4IE	ACP3IE	ACP2IE	ACP1IE	ADIE	0000 0000
FF9D _H	INTF1	-	-	ACP5IF	ACP4IF	ACP3IF	ACP2IF	ACP1IF	ADIF	0000 0000
FF9E _H	INTE2	-	I2CIE	-				RXIE	TXIE	0000 0000
FF9F _H	INTF2	-	I2CIF	-				RXIF	TXIF	0000 0000
FFA0 _H	-	内部保留，禁止用户写入该寄存器								-
FFA1 _H	-	内部保留，禁止用户写入该寄存器								-
FFA2 _H	VREFCAL	AD2D6CAL<4:0>				VR2D6CAL<2:0>				0000 0000
FFA3 _H	WDTCAL	WDT 32KHz 时钟校准寄存器								1000 0000

[续]

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFA4 _H	OSCCALL	内部 16MHz 时钟校准寄存器低 8 位								0000 0000
FFA5 _H	OSCCALH	-						OSCCALH<1:0>		0000 0000
FFA6 _H	PWRC	LPM	VRST<1:0>		N_RST1	N_TO	N_PD	N_POR	N_BOR	0111 1101
FFA7 _H	WDTC	-				WDTPRE	WDTPRS<2:0>			0000 1111
FFA8 _H	WKDC	IDLE 唤醒延时控制寄存器								1111 1111
FFA9 _H	PWEN	-						RCEN	SREN	0000 0011
FFAA _H	PA	PA7	PA6	PA5	PA4	PA3	-	PA1	PA0	xxxx xxxx
FFAB _H	PAT	PAT7	PAT6	PAT5	PAT4	PAT3	-	PAT1	PAT0	1111 1111
FFAC _H	PB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	xxxx xxxx
FFAD _H	PBT	PBT7	PBT6	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0	1111 1111
FFAE _H	PC	-						PC1	PC0	xxxx xxxx
FFAF _H	PCT	-						PCT1	PCT0	0000 0011
FFB0 _H	PAPU	PA 端口内部弱上拉控制位								0000 0000
FFB1 _H	PBPU	PB 端口内部弱上拉控制位								0000 0000
FFB2 _H	PCPU	PC 端口内部弱上拉控制位								0000 0000
FFB3 _H	PALC	PALC<7:3>					-	PALC<1:0>		0000 0000
FFB4 _H	PAOD	PA 端口开漏输出控制位								0000 0000
FFB5 _H	PBOD	PB 端口开漏输出控制位								0000 0000
FFB6 _H	PCOD	PC 端口开漏输出控制位								0000 0000
FFB7 _H	PAPD	PA 端口内部弱下拉控制位								0000 0000
FFB8 _H	PBPD	PB 端口内部弱下拉控制位								0000 0000
FFB9 _H	PCPD	PC 端口内部弱下拉控制位								0000 0000
FFBA _H	-	-								-
FFBB _H	T8N	T8N 计数器								0000 0000
FFBC _H	T8NC	T8NEN	T8NCLK	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>			0000 0000
FFBD _H	T8P1	T8P1 计数器								0000 0000
FFBE _H	T8P1C	T8P1M	T8P1POS<3:0>				T8P1E	T8P1PRS<1:0>		0000 0000
FFBF _H	T8P1P	T8P1 周期寄存器								1111 1111
FFC0 _H	T8P1RL	T8P1 精度寄存器								0000 0000
FFC1 _H	T8P1RH	T8P1 精度缓冲寄存器								0000 0000
FFC2 _H	T8P1OC	-						PWM11EN	PWM10EN	0000 0000
FFC3 _H	T8P2	T8P2 计数器								0000 0000
FFC4 _H	T8P2C	T8P2M	T8P2POS<3:0>				T8P2E	T8P2PRS<1:0>		0000 0000
FFC5 _H	T8P2P	T8P2 周期寄存器								1111 1111
FFC6 _H	T8P2RL	T8P2 精度寄存器								0000 0000
FFC7 _H	T8P2RH	T8P2 精度缓冲寄存器								0000 0000
FFC8 _H	T8P2OC	-						PWM21EN	PWM20EN	0000 0000
FFC9 _H	T8P3	T8P3 计数器								0000 0000
FFCA _H	T8P3C	T8P3M	T8P3POS<3:0>				T8P3E	T8P3PRS<1:0>		0000 0000

[续]

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFCB _H	T8P3P	T8P3 周期寄存器								1111 1111
FFCC _H	T8P3RL	T8P3 精度寄存器								0000 0000
FFCD _H	T8P3RH	T8P3 精度缓冲寄存器								0000 0000
FFCE _H	T8P3OC	-						PWM31EN	PWM30EN	0000 0000
FFCF _H	EPWM1C	PWM1ADEN	P1M1	-		PWM1ADS	-	EPWM1M<1:0>		0000 0000
FFD0 _H	EPWM2C	PWM2ADEN	P1M2	-		PWM2ADS	EPWM2OS	EPWM2M<1:0>		0000 0000
FFD1 _H	EPWM3C	PWM3ADEN	P1M3	-		PWM3ADS	-	EPWM3M<1:0>		0000 0000
FFD2 _H	PDD1C	PRSEN1	PDD1C<6:0>							0000 0000
FFD3 _H	PDD2C	PRSEN2	PDD2C<6:0>							0000 0000
FFD4 _H	PDD3C	PRSEN3	PDD3C<6:0>							0000 0000
FFD5 _H	TE1AS	EPWM1ASF	-	EPWM1AS1	EPWM1AS0	-		PSS1BD<1:0>		0000 0000
FFD6 _H	TE2AS	EPWM2ASF	-	EPWM2AS1	EPWM2AS0	-		PSS2BD<1:0>		0000 0000
FFD7 _H	TE3AS	EPWM3ASF	-	EPWM3AS1	EPWM3AS0	-		PSS3BD<1:0>		0000 0000
FFD8 _H	TMRADC	PWM 沿启动 ADC 定时器								0000 0000
FFD9 _H	ADCTST	-						ADHSEN	AINEN	0000 0000
FFDA _H	ADCRL	A/D 转换结果低 8 位/低 4 位								xxxx xxxx
FFDB _H	ADCRH	A/D 转换结果高 4 位/高 8 位								xxxx xxxx
FFDC _H	ADCCL	ADCHS<3:0>				-	SMPS	ADTRG	ADEN	0000 0000
FFDD _H	ADCCH	ADFM	ADCKS<2:0>			ADST		ADVREFS<1:0>		0100 1000
FFDE _H	ANSL	-	AIN0~AIN6 数模选择位							0000 0000
FFDF _H	ANSH	-	AIN7~AIN13 数模选择位							0000 0000
FFE0 _H	RXB	UART 接收数据寄存器								0000 0000
FFE1 _H	RXC	RXEN	RXM	-			OERR	FERR	RXR8	0000 000x
FFE2 _H	TXB	UART 发送数据寄存器								0000 0000
FFE3 _H	TXC	TXEN	TXM	BRGH	-			TRMT	TXR8	0000 0010
FFE4 _H	BRR	UART 波特率设置								0000 0000
FFE5 _H	-	-								-
FFE6 _H	-	-								-
FFE7 _H	-	-								-
FFE8 _H	-	-								-
FFE9 _H	-	-								-
FFEA _H	-	-								-
FFEB _H	-	-								-
FFEC _H	-	-								-
FFED _H	-	-								-
FFEE _H	-	-								-
FFEF _H	I2CX16	-				16 倍采样波特率控制位				0000 0000
FFF0 _H	I2CC	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAE	I2CCSE	I2CRST	I2CEN	0000 0000
FFF1 _H	I2CSA	I2CSADR<6:0>							I2CRW	0000 0000

[续]

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位值
FFF2 _H	I2CTB	发送数据缓冲器								0000 0000
FFF3 _H	I2CRB	接收数据缓冲器								0000 0000
FFF4 _H	I2CIEC	-	I2CNAIE	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2CSPIE	I2CSRIE	0000 0000
FFF5 _H	I2CIFC	-	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2CSPIF	I2CSRIF	1000 0100
FFF6 _H	ACPC1	COUTEN	C1OUT	-	FT2CLR	CM1DLY<1:0>		C1INV	C1EN	0000 0000
FFF7 _H	ACPC2	PPGADS	C2OUT	CM2DLY<1:0>		C2PM<1:0>		C2INV	C2EN	0000 0000
FFF8 _H	ACPC3	-	C3OUT	-	-	C3PM<1:0>		C3INV	C3EN	0000 0000
FFF9 _H	ACPC4	-	C4OUT	C4NM<1:0>		-		C4INV	C4EN	0000 0000
FFFA _H	ACPC5	-	C5OUT	C5NM<1:0>		CM5DLY<1:0>		C5INV	C5EN	0000 0000
FFFB _H	VRC1	VREFEN	VRC2S<2:0>			VRC1S<2:0>			VOUTEN	0000 0000
FFFC _H	PPGC	CMXOFFSET<3:0>				PPGADEN	PPGINV	PPGS	PPGEN	0000 0000
FFFD _H	CMFT1	故障 FT1 检测时间控制位								0000 0000
FFFE _H	OPAC	OPAOFFSET<5:0>						OPAPS<1:0>		0000 0000
FFFF _H	CMFT2	故障 FT2 检测时间控制位								0000 0000

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 3.0 ~ 5.5V	-40 ~ 85	°C

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	3.0	-	5.5	V	-40°C ~ 85°C
芯片静态电流	I _{DD}	-	500	-	μA	25°C, VDD = 5V, BOR 不使能, 所有的 I/O 端口输入低电平, N_MRST = 0, OSC1 = 0, OSC2 悬空。
IDLE0 休眠模式下芯片电流	I _{PD1}	-	16	-	μA	25°C, VDD = 5V, BOR 不使能, WDT 使能。
	I _{PD2}	-	25	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能。
IDLE1 休眠模式下芯片电流	I _{PD3}	-	400	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能, 内部振荡器。
	I _{PD4}	-	700	-	μA	25°C, VDD = 5V, BOR 使能, WDT 使能, 外部振荡器。
正常运行模式芯片电流	I _{OP1}	-	2	-	mA	25°C, VDD = 5V, 正常运行模式, 内部 16MHz 时钟, I/O 端口输出固定电平, 无负载。
	I _{OP2}	-	3.5	-	mA	25°C, VDD = 5V, 正常运行模式, 外部 HS 模式下 16MHz 时钟, I/O 端口输出固定电平, 无负载。
VDD 管脚的最大输入电流	I _{MAXVDD}	-	80	-	mA	25°C, VDD = 5V
VSS 管脚的最大输出电流	I _{MAXVSS}	-	200	-	mA	25°C, VDD = 5V

非大电流 I/O 端口灌电流	I_{OL}	-	10	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
非大电流 I/O 端口拉电流	I_{OH}	-	10	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$
大电流 I/O 端口灌电流	I_{OL}	-	40	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
大电流 I/O 端口拉电流	I_{OH}	-	18	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$

◆ 芯片输入端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输入高电平 (有施密特输入特性)	V_{IH}	0.8VDD	-	VDD	V	3.0V ≤ VDD ≤ 5.5V
主复位信号 N_MRST 输入高电平 (有施密特输入特性)		0.8VDD	-	VDD	V	
I/O 端口输入低电平	V_{IL}	VSS	-	0.18VDD	V	
主复位信号 N_MRST 输入低电平		VSS	-	0.20VDD	V	
I/O 端口输入漏电流	I_{IL}	-	-	±1	μA	3.0V ≤ VDD ≤ 5.5V VSS ≤ Vpin ≤ VDD (端口处于高阻状态)
主复位端口漏电流		-	-	5	μA	VSS ≤ Vpin ≤ VDD
I/O 端口输入 弱上拉电流	I_{WPU}	-	-	300	μA	3.0V ≤ VDD ≤ 5.5V Vpin = VSS
I/O 端口输入 弱下拉电流	I_{WPD}	-	-	300	μA	3.0V ≤ VDD ≤ 5.5V Vpin = VDD

◆ 芯片输出端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输出高电平	V_{OH}	VDD-0.7	-	-	V	3.0V ≤ VDD ≤ 5.5V $I_{OH} = 6.0\text{ mA}$
I/O 端口 输出低电平	V_{OL}	-	-	0.6	V	3.0V ≤ VDD ≤ 5.5V $I_{OL} = 12\text{ mA}$

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F_{OSC}	-	-	16M	Hz	$3.0V \leq VDD \leq 5.5V$
系统时钟周期	T_{OSC}	62.5	-	-	ns	$3.0V \leq VDD \leq 5.5V$
机器周期	T_{inst}	125	-	-	ns	-
外部时钟高电平和低电平时间	T_{OSL}, T_{OSH}	15	-	-	ns	-
外部时钟上升和下降时间	T_{OSR}, T_{OSF}	-	-	15	ns	-
WDT 溢出时间	T_{WDT}	13 (37K)	17 (30K)	21 (25K)	ms	不分频 $VDD = 5V$

◆ 12 位 ADC 特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	VDD	4	-	5.5	V	ADHSEN=1 (高速)
		3	-	5.5	V	ADHSEN=0 (低速)
分辨率	R_R	-	-	12	bit	
差分线性度	DNL	-	-	± 2	LSB	
积分线性度	INL	-	-	± 2	LSB	
失调误差	E_{OFF}	0.5	1		LSB	
参考电压	V_{REF}	-	-	VDD	V	
模拟输入电压	V_{ADIN}	-	-	V_{REF}	V	
输入电容	C_{ADIN}	-	-	40	Pf	
输入电阻	R_{ADIN}	-	-	10	K Ω	
转换时钟频率	F_{ADCLK} (高速)	-	-	16	MHz	ADHSEN=1
	F_{ADCLK} (低速)	-	-	2	MHz	ADHSEN=0
转换时间 (不包括采样时间)	T_{ADC}	-	13	-	Tadclk	
采样时间	T_{ADS} 高速	1	-	-	us	ADHSEN=1
	T_{ADS} 低速	8	-	-		ADHSEN=0

◆ ADC 转换时间对照表

A/D 时钟源 选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用	不推荐使用	不推荐使用	$T_{ADCLK} = 1\mu s$
Fosc/2	不推荐使用	不推荐使用	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 2\mu s$
Fosc/4	不推荐使用	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 4\mu s$
Fosc/8	$T_{ADCLK} = 0.5\mu s$	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 8\mu s$
Fosc/16	$T_{ADCLK} = 1\mu s$	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 4\mu s$	$T_{ADCLK} = 16\mu s$
Fosc/32	$T_{ADCLK} = 2\mu s$	$T_{ADCLK} = 4\mu s$	$T_{ADCLK} = 8\mu s$	$T_{ADCLK} = 32\mu s$
Fosc/64	$T_{ADCLK} = 4\mu s$	$T_{ADCLK} = 8\mu s$	$T_{ADCLK} = 16\mu s$	$T_{ADCLK} = 64\mu s$

◆ 模拟比较器特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	VDD	3		5.5	V	
输入失调电压	V_{OFFSET}		10		mV	
输入共模电压	V_{COM}	0.6		VDD-1	V	
响应时间	T_{RESP}		50		ns	

◆ 参考电压特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	VDD	3		5.5	V	
内部参考电压 输出 VREF2.6	V_{REF}	-	2.6	-	V	

◆ 模拟运放 OP 交流特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	VDD	3		5.5	V	
输入失调电压	V_{OFFSET}	-	3	-	mv	
输入共模电压	V_{COM}	0		VDD-1	V	
直流增益	G_{DC}	-	80	-	dB	

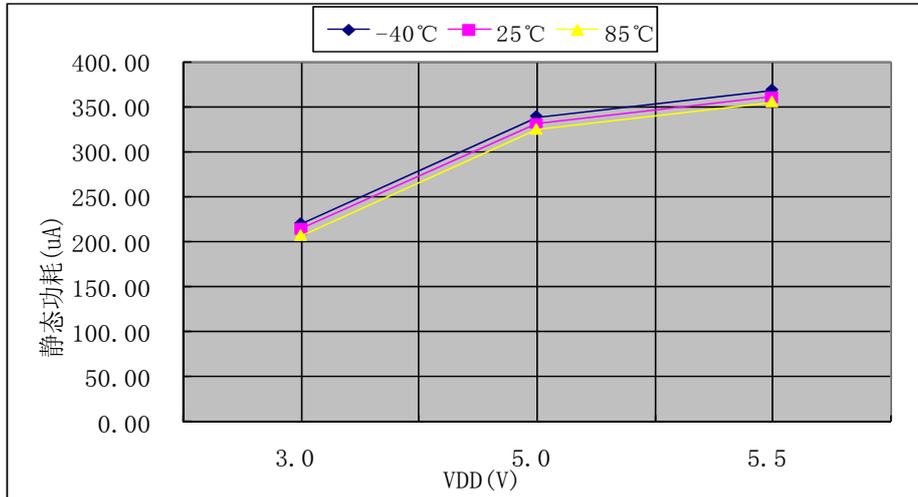
◆ 内部 16MHz 时钟校准性表

校准条件	工作条件	最小值	典型值	最大值	单位
25°C, 将频率校准至 16MHz	-40°C~85°C, VDD = 3.0V~5.5V	15.52	16	16.48	MHz

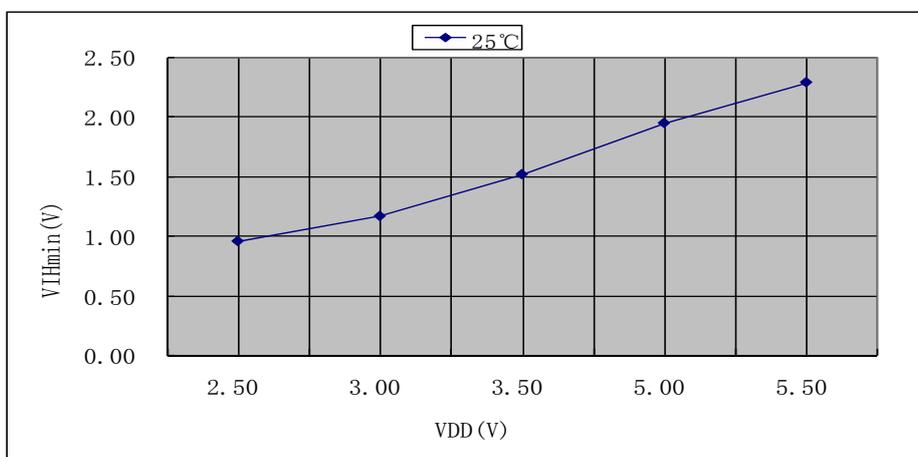
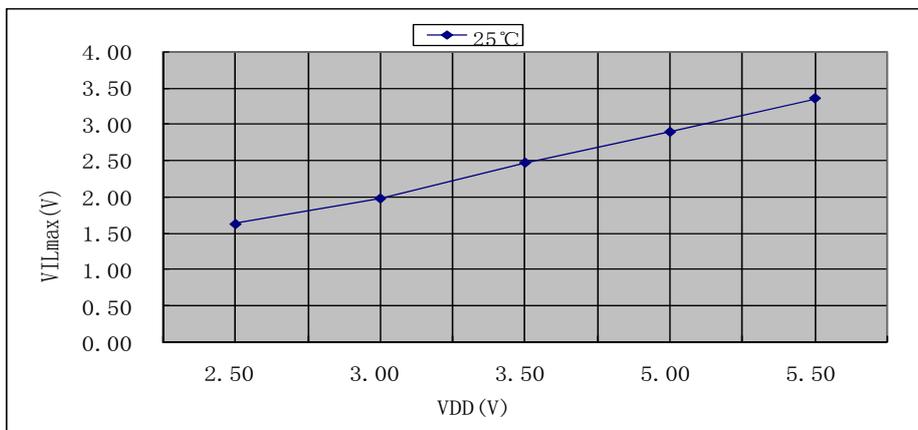
附录3.2 参数特性图

本节中所列图示未经过量产测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

◆ 芯片静态电流随芯片电压变化特性图

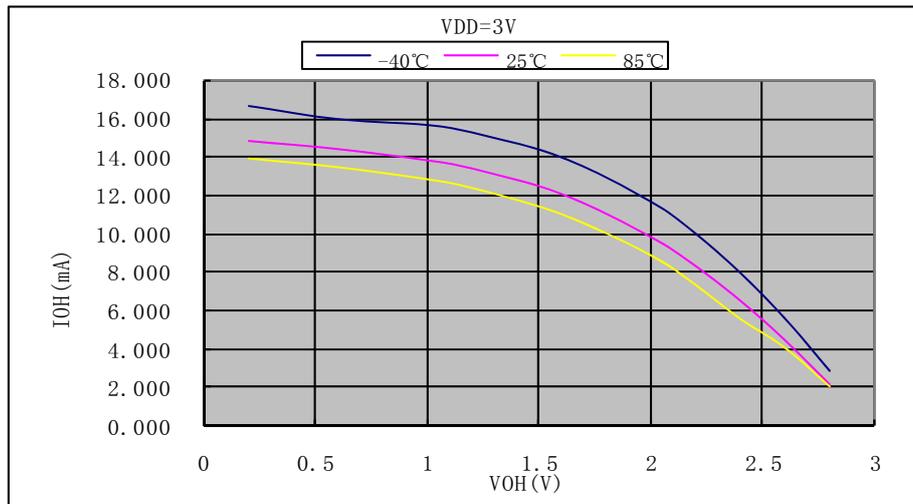


◆ I/O 端口信号输入特性图 (室温 25°C)

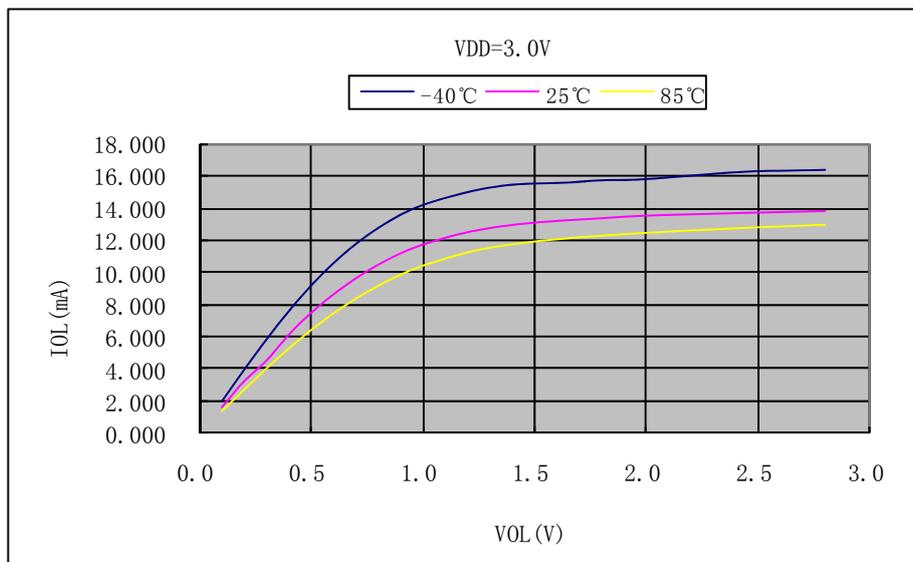


◆ I/O 端口信号输入特性图（非大电流端口）

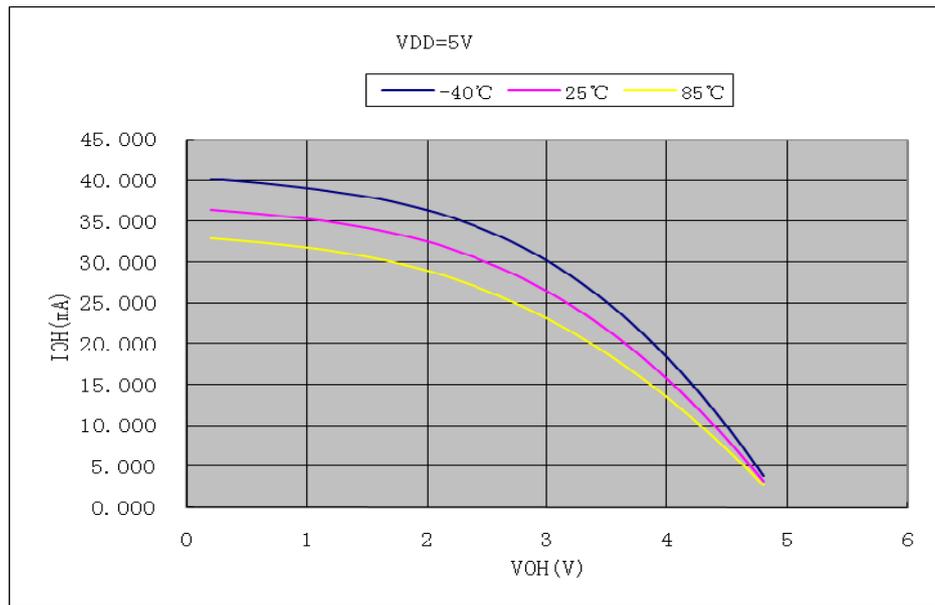
A: V_{OH} vs I_{OH} @ $V_{DD}=3.0V$



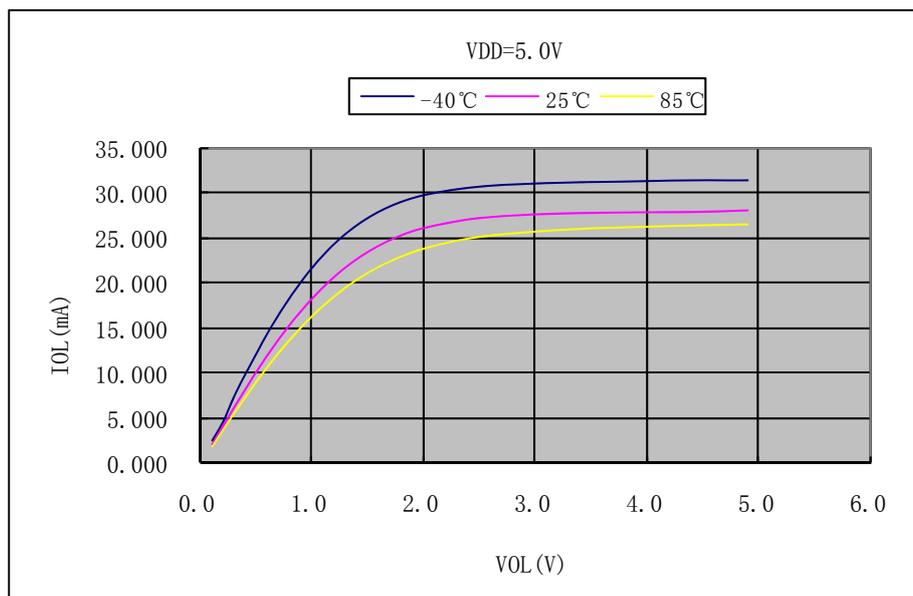
B: V_{OL} vs I_{OL} @ $V_{DD}=3.0V$



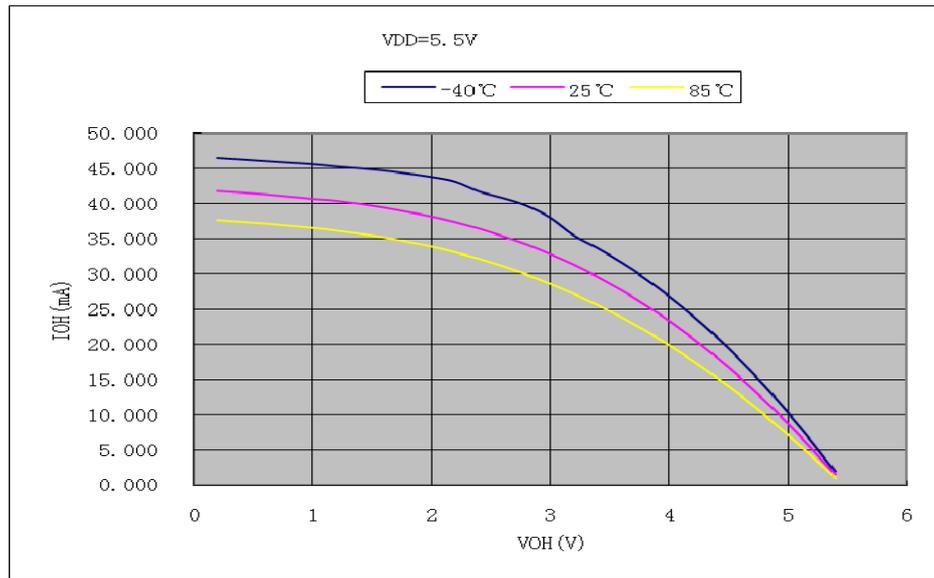
C: V_{OH} vs I_{OH} @ $V_{DD}=5.0V$



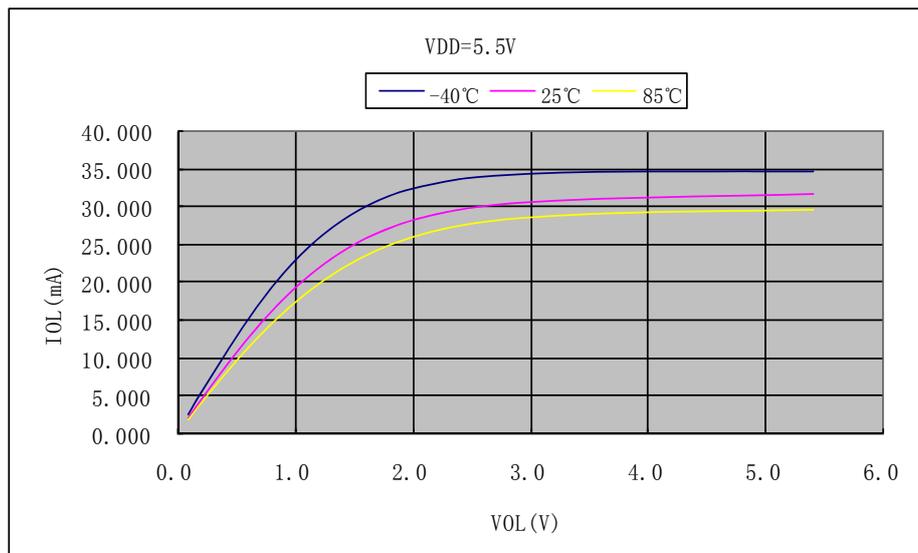
D: V_{OL} vs I_{OL} @ $V_{DD}=5.0V$



E: V_{OH} vs I_{OH} @ $V_{DD}=5.5V$

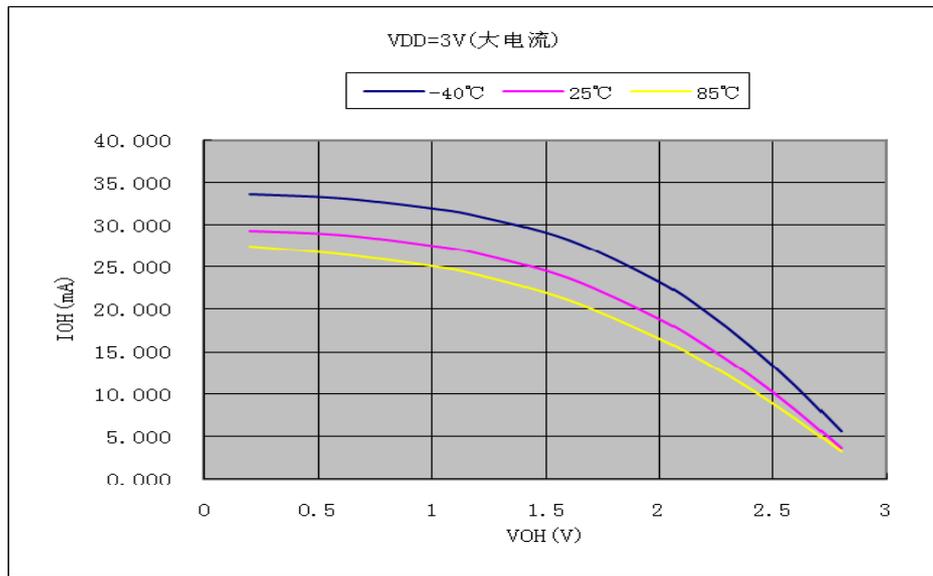


F: V_{OL} vs I_{OL} @ $V_{DD}=5.5V$

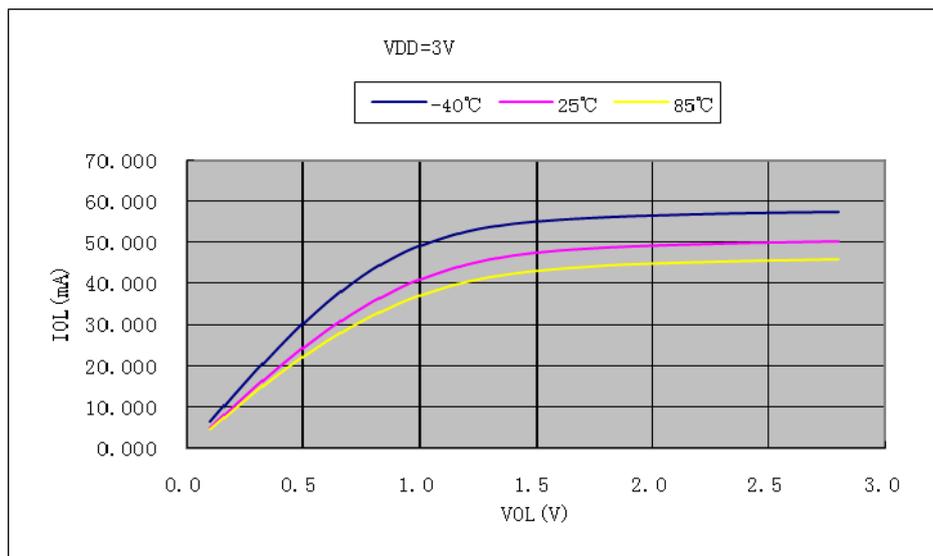


◆ I/O 端口信号输入特性图（大电流端口）

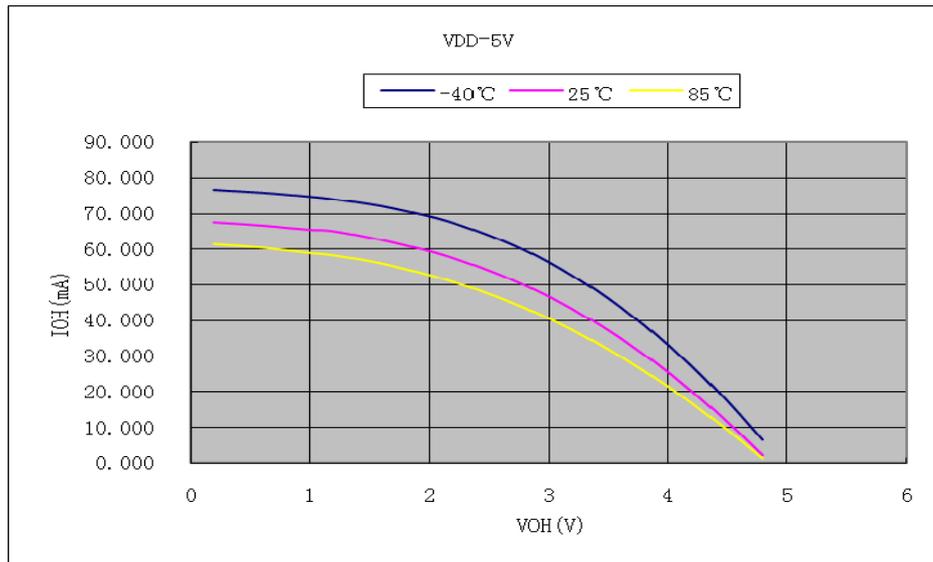
A: V_{OH} vs I_{OH} @ $V_{DD}=3.0V$



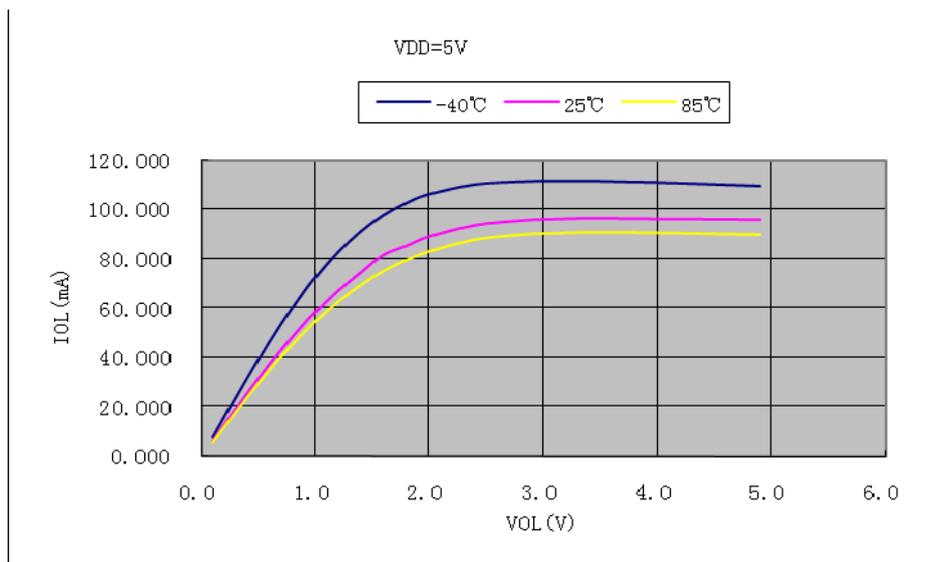
B: V_{OL} vs I_{OL} @ $V_{DD}=3.0V$



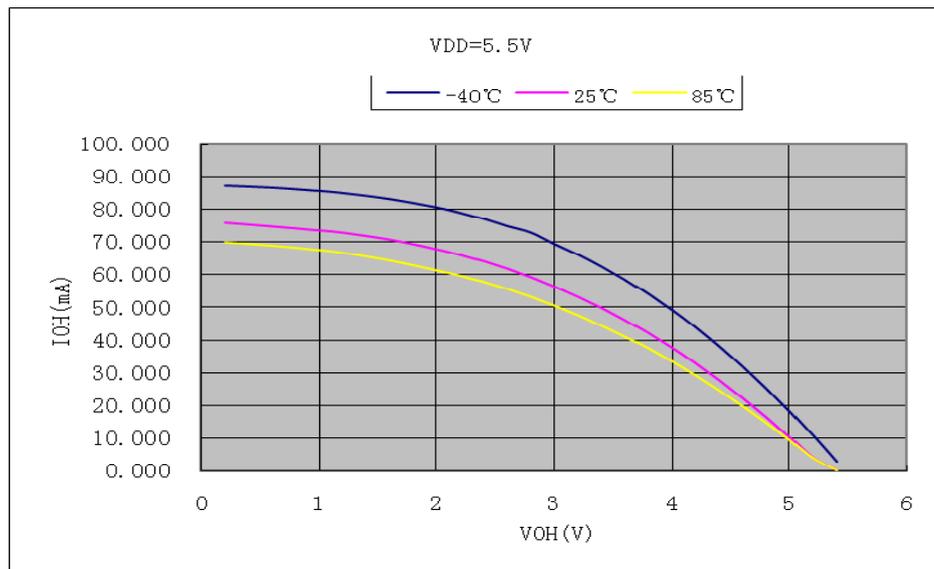
C: V_{OH} vs I_{OH} @ $V_{DD}=5.0V$



D: V_{OL} vs I_{OL} @ $V_{DD}=5.0V$



E: V_{OH} vs I_{OH} @VDD=5.5V



F: V_{OL} vs I_{OL} @VDD=5.5V

