



StarFire5S-V 系列 FPGA 开发验证板 用户手册

Rev 1.26

北京亚科鸿禹科技有限公司

2006 年 8 月

版本说明

StarFire5S-V 系列用户手册 Rev1.26

文档编号 #1003

Nov. 20, 2005	初次发布
Jan. 16, 2006	2.24 added
Apr. 18, 2006	2.4 , 2.7, 2.12 , 2.14 , 2.15, 2.23, 2.24 Updated
Jun. 02, 2006	2.22 VCC Added
Jul. 18, 2006	2.15 Updated
Aug. 1, 2006	2.9, 2.10, 2.11 GND added
Aug. 18, 2006	2.8 DGVS Updated
Aug. 23, 2006	2.22 CON1. E6, CON2. F1, CON2. C2, CON2. E19, CON2. E2 updated

版权申明

北京亚科鸿禹科技有限公司对本手册拥有全部版权。

未经亚科鸿禹公司书面许可，严禁以任何形式复制、转移、传播本手册的内容。

目录

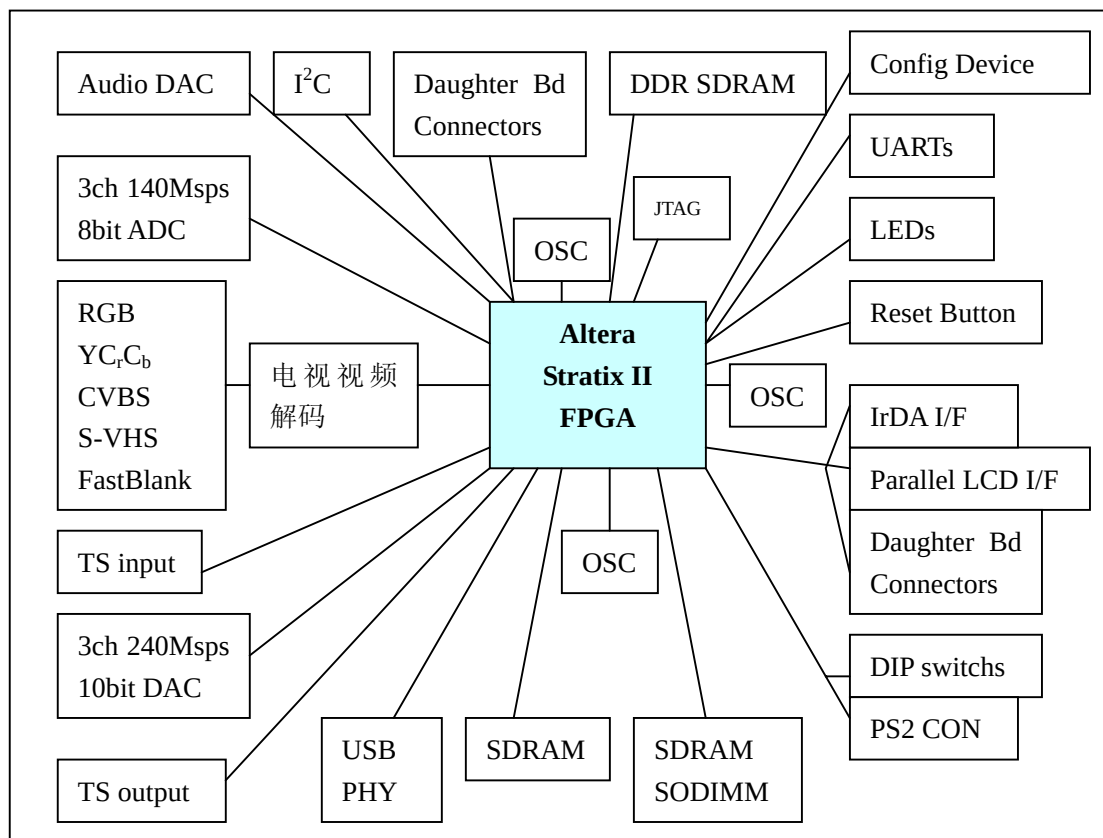
1.	系统框图.....	5
2.	详细介绍.....	5
2.1	电源.....	5
2.2	FPGA	7
2.3	时钟.....	7
2.4	SDR SDRAM.....	10
2.5	SDR SDRAM SODIMM 插座.....	12
2.6	DDR SDRAM.....	14
2.7	USB PHY.....	16
2.8	模数转换.....	17
2.9	数模转换.....	18
2.10	电视视频解码.....	19
2.11	TS 码流输入.....	21
2.12	TS 码流输出.....	22
2.13	音频输出.....	22
2.14	LCD 接口.....	23
2.15	串行通讯接口.....	23
2.16	I ² C 总线.....	24
2.17	LEDs	24
2.18	按钮	25
2.19	拨码开关.....	25

2.20 红外线接收.....	26
2.21 PS2 键盘接口.....	26
2.22 用户扩展 I/O 接口.....	26
2.23 配置与下载.....	34
2.24 跳线汇总.....	35
3 板内主要器件.....	36
附录 实物照片.....	37

StarFire5S-V 系列 FPGA 开发板

StarFire5S-V 系列 FPGA 开发板是面向音视频 SOC 设计的快速原型验证平台。该开发板包含一片 Altera Stratix II FPGA 芯片，FPGA 可变 I/O 信号标准，多路可变板载晶振，多路外部时钟输入输出接口，DDR SDRAM 和 SDR SDRAM 内存颗粒，SDRAM SODIMM 插座，ULPI 接口的 USB2.0 Host/Device/OTG PHY，音频 DAC，视频 ADC，视频 DAC，TV 信号处理，TS 码流输入输出，RS-232 接口，I²C 接口，ATA/IDE 接口，LVDS 标准 LCD 接口，红外接口，用户定义发光二极管、拨码开关、按钮，PS/2 键盘接口及用户扩展 GPIO 接口。采用阻抗控制、匹配走线设计的多层高速 PCB，信号频率超过 200Mhz。另外有 DVI 输入接口、DVI 输出接口、FLASH、SRAM、10M/100M 以太网 PHY 接口等扩展子板可供选择。

1. 框图



图表 1: 系统框图

2. 各部分详细介绍

2.1 电源

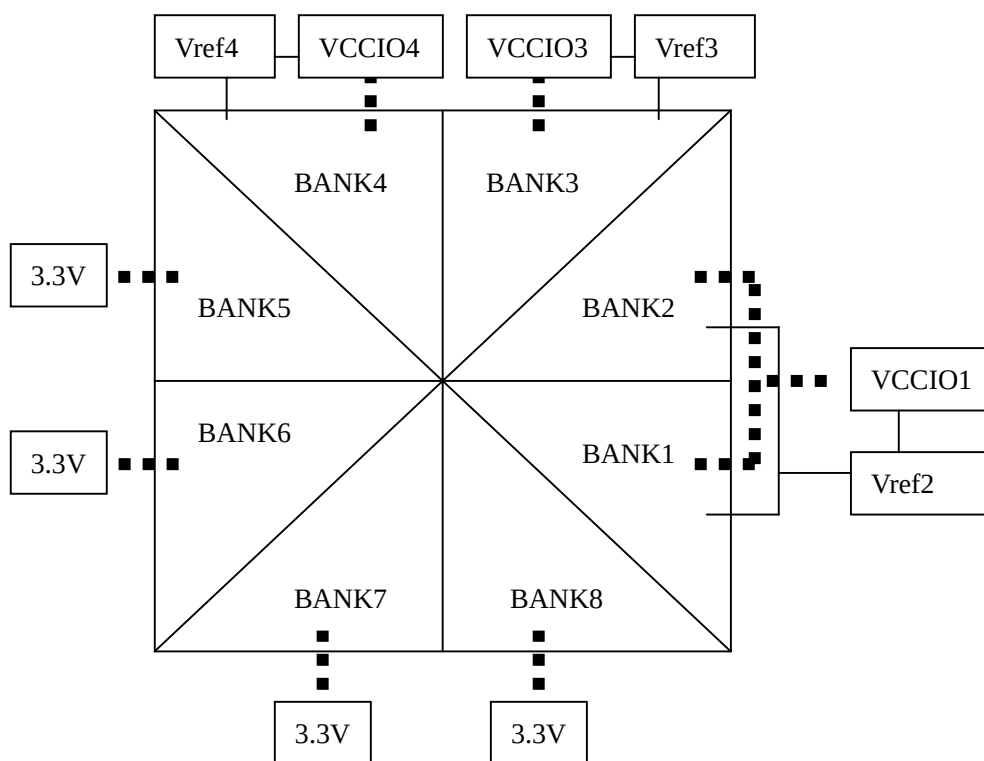
系统的外部电源输入接口位于板右上角 DC 电源接口 ，中央为正。输入电压 12V 至 18V，输入电流容量要求大于 2A，有保险管保护（部件编号 F1）。输入电压经过各级稳压后产生 12V、5V、3.3V、2.5V、1.2V 等固定或可调电压。在接通输入电源并电源控制开关 SW5 拨向 ON 位置时，板上相应的电源指

示 LED 应该点亮:

电 源	正常电压	电压正常指示 灯
外部输入电压	12V-18V	D54
5V 电压	5.0V	D33
3.3V 电压	3.3V	D32
VCCINT FPGA 核电压	1.2V	D31
FPGA BANK3 VCCIO3 电压	2.5V	D47
FPGA BANK1/2 VCCIO1 电压	可调(出厂设置 3.3V)	D51
FPGA BANK4 VCCIO4 电压	可调(出厂设置 3.3V)	D53

图表 2: 电源划分

FPGA I/O 管脚分为 8 个 BANK, 每个 BANK 具有独立的管脚输入输出电压, 具体分配如下:



图表 3: FPGA 各 BANK 电压

其中 VCCIO1 通过改变 R431 的阻值调整, VCCIO4 通过改变 R273 的阻值来调整。阻值与电压的关系如下表:

R431 (或 R273)	VCCIO1 (或 VCCIO4)
475 Ω (出厂设置)	3.3V
2.32k Ω	2.5V
4.87k Ω	2V
6.65k Ω	1.8V
11.5k Ω	1.5V

26.1k Ω	1.2V
84.5k Ω	1V
Open	0.8V

图表 4: 电压设置

BANK1&2 的参考电源 VREF 通过跳线 J81 选择: VCCIO2 或 GND 或 VREF2 (VCCIO2/2)。在不使用参考电源时, J81 设置为 GND;

BANK3 的参考电源固定为 1.25V (VCCIO3/2);

BANK4 的参考电源 VREF 通过跳线 J83 选择: VCCIO4 或 GND 或 VREF4 (VCCIO4/2)。在不使用参考电源时, J83 设置为 GND;

2.2 FPGA

StarFire5S-V 系列包含一颗 Altera Stratix II FPGA 芯片 (器件编号 U22): EP2S60F1020 或 EP2S90F1020 或 EP2S130F1020 或 EP2S180F1020, 速度等级-3, -4 或-5。

Feature	EP2S60	EP2S90	EP2S130	EP2S180
ALMs	24, 176	36, 384	53, 016	71, 760
Look-up tables (ALUTs)	48, 352	72, 768	106, 032	143, 520
Equivalent LEs	60, 440	90, 960	132, 540	179, 400
M512 RAM blocks	329	488	699	930
M4K RAM blocks	255	408	609	768
M-RAM blocks	2	4	6	9
Total RAM bits	2, 544, 192	4, 520, 488	6, 747, 840	9, 383, 040
DSP blocks	36	48	63	96
Multipliers	144	192	252	384
Enhanced PLLs	4	4	4	4
Fast PLLs	8	8	8	8
Max user I/O pins for BGA1020 package	718	758	742	742

图表 5: STRATIX II FPGA 主要性能对比

温度监测与冷却:

- FPGA 温度检测接口为 J6 (单排插针)
- FPGA 芯片左上角与右下角的固定孔和电源接口 CON17 用于安装冷却风扇, 兼容 5V 风扇和 12V 风扇, 通过电阻 R108 和 R109 来选择:

风扇电源类型	5V	12V
R108	OPEN	0 欧
R109	0 欧	OPEN

注意: R108 和 R109 不可同时存在, 否则 5V 电源与 12V 电源短路!

2.3 时钟

板上预留了直插式晶振的安装针脚座和贴片晶振的焊盘, 请您根据需要自行安装合适频率的晶振并做相应的设置。

时钟信号	时钟输入来源	通过以下设置选择时钟输入来源	备注
CLK0P	外部输入 (pin B1 of CON1)		(1)
CLK0N	外部输入 (pin B2 of CON1)		(1)
CLK1P	外部输入 (pin D4 of CON1)		(1)
CLK1N	外部输入 (pin D3 of CON1)		(1)
CLK2P	晶振 U23	R183=120, R185=Open	(2) (4)
	或外部输入 J26	R183=Open, R185=0	
CLK2N	外部输入 J28		
CLK3P	晶振 U24	R184=120, R186=Open	(2) (4)
	或外部输入 J27	R184=Open, R186=0	
CLK3N	外部输入 J29		
CLK4P	晶振 U71		(2)
CLK4N	N/A (不可用)		
CLK5P	晶振 U32	R232=47, R233=Open	(2) (4)
	或外部输入 pin 10 of CON16	R232=Open, R233=0	
CLK5N	外部输入 pin 9 of CON16		
CLK6P	晶振 U66	R510=47, R348=Open	(3) (4)
	或外部输入 pin 5 of CON16	R510=Open, R348=0	
CLK6N	外部输入 pin 6 of CON16		
CLK7P	晶振 U31	R227=180, R228=Open	(3) (4)
	或外部输入 pin 1 of CON16	R227=Open, R228=0	
CLK7N	外部输入 pin 2 of CON16		
CLK8P	Clock Generated by U11 (VPC3230D pin27/28)		(5)
CLK8N	As general purpose IO (U1 pin70)		(6)
CLK9P	Clock Generated by U2(USB330 pin14)		(5)
CLK9N	As general purpose IO (U11 pin57)		(6)
CLK10P	Clock Generated by J95(TUNER pin4)		(5)
CLK10N	As general purpose IO (U1 pin72)		(6)
CLK11P	Clock Generated by D1(AD9883 pin67)		(5)
CLK11N	As general purpose IO (U1 pin73)		(6)
CLK12P	晶振 U28	R500=47, R30=Open	(3) (4)
	或外部输入 pin 6 of CON12	R500=Open, R30=0	
CLK12N	外部输入 pin 5 of CON12		
CLK13P	晶振 U29	R32=47, R502=Open	(2) (4)
	或外部输入 pin 1 of CON12	R32=Open, R502=0	
CLK13N	外部输入 pin 2 of CON12		
CLK14P	晶振 U27	R499=47, R105=Open	(2) (4)
	或外部输入 pin 13 of CON12	R499=Open, R105=0	

CLK14N	外部输入 pin 14 of CON12		
CLK15P	晶振 U76	R504=47, R106=Open	(3) (4)
	或外部输入 pin 10 of CON12	R504=Open, R106=0	
CLK15N	外部输入 pin 9 of CON12		
FPLLCLK7P	外部输入 pin F19 of CON1		(1)
FPLLCLK7N	外部输入 pin F20 of CON1		(1)
FPLLCLK8P	外部输入 pin B11 of CON2		(1)
FPLLCLK8N	外部输入 pin B12 of CON2		(1)
FPLLCLK9P	As general purpose IO (U2 pin11)		(6)
FPLLCLK9N	As general purpose IO (U2 pin13)		(6)
FPLLCLK10P	As general purpose IO (U1 pin18)		(6)
FPLLCLK10N	As general purpose IO (U1 pin19)		(6)

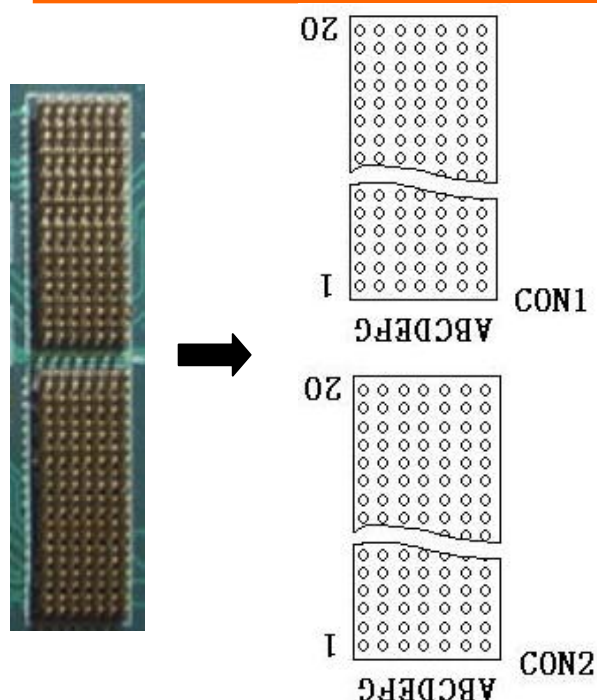
图表 6 时钟输入分配

备注：

(1) 连接器 CON1 与 CON2 是位于板右侧的两个 7X20 的排针（图表 7）。CLK0P/N、CLK1P/N、FPLLCLK7P/N, FPLLCLK8P/N 均为差分输入。如果以单端模式使用，建议另一单端信号接地，有关更详细内容见。

(2) 为便于用户针对不同验证项目可以灵活变更输入时钟频率，晶振 U23, U24, U27, U29, U32, U71 采用 6 PIN 插座(图表 8a)。允许接插额定电压分别为 5V 或 3.3V 的晶振。其中全尺寸（图表 8a DIP14 封装）为 5V 供电，半尺寸晶振（图表 8b DIP8 封装）为 3.3V 供电。

请注意晶振安装位置与方向！



图表 7 CON1 及 CON2 管脚位置



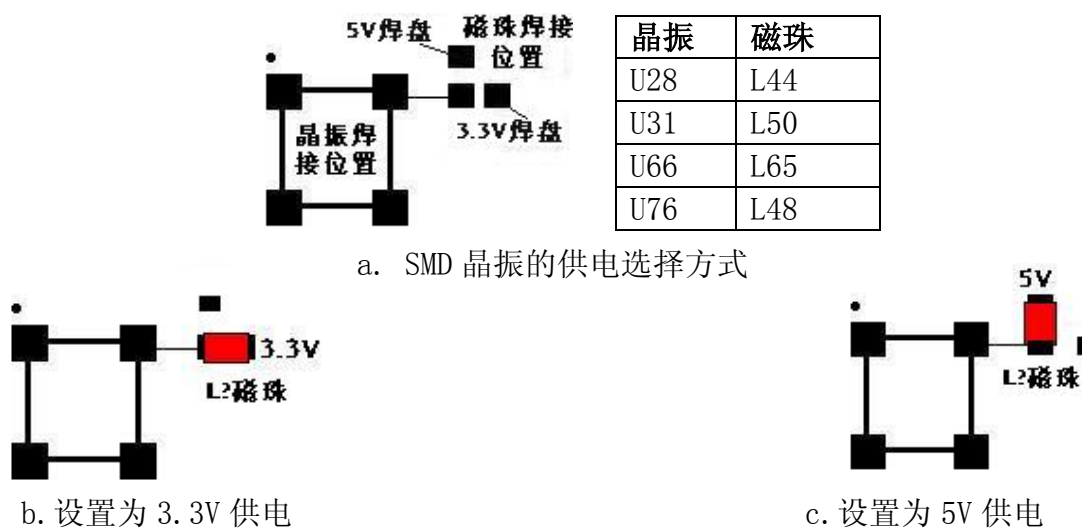
图表 8 晶振封装形式

(3) 晶振 U28, U76, U31, U66 为 SMD 封装 (图表 8d)。通过变更电源滤波磁珠的位置兼容 5V 或 3.3V 供电。图表 9a 表示了晶振及用于设置供电电压的磁珠的对应关系。根据晶振的额定工作电压, 选择在 5V 焊盘处焊接磁珠 (如图表 9b) 或在 3.3V 处焊接磁珠 (如图表 9c)。

(4) 表中电阻值单位均为欧姆, “Open” 表示不焊接该电阻。

(5) 在电路板上, 这些时钟管脚被用做专用时钟输入, 硬连接到了外围芯片的时钟输出端。作为这些芯片数据总线的同步时钟。

(6) 这些时钟管脚被用做普通 IO 信号, 连接 (逻辑关联) 到了外围芯片的数据或控制信号。



图表 9 SMD 晶振的设置

请确保 5V 磁珠与 3.3V 磁珠不可同时存在!

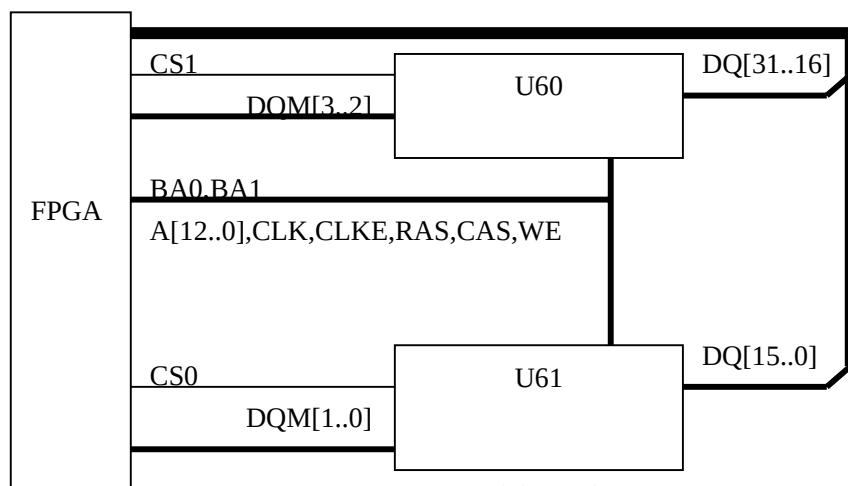
2.4 SDR SDRAM

SDRAM 总容量为 16MByte (由两片 U60, U61:MT48LC4M16A2 并联组成) 或 128MByte (由两片 MT48LC32M16A2 并联组成)。时钟频率 133MHZ/166MHZ, 数据总线 32bit, 传输带宽 433Mbyte/s

Peripheral			FPGA	
Signal Name	U60 pin#	U61 pin#	pin #	bank#
SDRAM_CLK	38	38	Y7	B6
SDRAM_CKE	37	37	AD1	B6
SDRAM_CS0	–	19	AF1	B6
SDRAM_CS1	19	–	W2	B6
SDRAM_RAS	18	18	AE2	B6
SDRAM_CAS	17	17	AE1	B6
SDRAM_WE	16	16	AD2	B6
SDRAM_BA0	20	20	AF2	B6
SDRAM_BA1	21	21	AG1	B6
SDRAM_A0	23	23	AH1	B6
SDRAM_A1	24	24	AH2	B6
SDRAM_A2	25	25	AJ1	B6
SDRAM_A3	26	26	AJ2	B6
SDRAM_A4	29	29	Y2	B6
SDRAM_A5	30	30	AA1	B6
SDRAM_A6	31	31	AA2	B6
SDRAM_A7	32	32	AB1	B6
SDRAM_A8	33	33	AB2	B6
SDRAM_A9	34	34	AC1	B6
SDRAM_A10	22	22	AG2	B6
SDRAM_A11	35	35	AC2	B6
SDRAM_A12	36	36	AH3	B6
SDRAM_DQM0	–	15	Y4	B6
SDRAM_DQ0	–	2	AB10	B6
SDRAM_DQ1	–	4	AD7	B6
SDRAM_DQ2	–	5	AD6	B6
SDRAM_DQ3	–	7	AC7	B6
SDRAM_DQ4	–	8	AC6	B6
SDRAM_DQ5	–	10	AB9	B6
SDRAM_DQ6	–	11	AA7	B6
SDRAM_DQ7	–	13	Y5	B6
SDRAM_DQM1	–	39	W1	B6
SDRAM_DQ8	–	42	V2	B6
SDRAM_DQ9	–	44	W6	B6
SDRAM_DQ10	–	45	V5	B6
SDRAM_DQ11	–	47	U5	B6
SDRAM_DQ12	–	48	U6	B6
SDRAM_DQ13	–	50	R6	B5
SDRAM_DQ14	–	51	T5	B5

SDRAM_DQ15	–	53	R7	B5
SDRAM_DQM2	15	–	W8	B6
SDRAM_DQ16	2	–	AC4	B6
SDRAM_DQ17	4	–	AC3	B6
SDRAM_DQ18	5	–	AB4	B6
SDRAM_DQ19	7	–	AB3	B6
SDRAM_DQ20	8	–	AA4	B6
SDRAM_DQ21	10	–	AA3	B6
SDRAM_DQ22	11	–	Y10	B6
SDRAM_DQ23	13	–	Y3	B6
SDRAM_DQM3	39	–	AG4	B6
SDRAM_DQ24	42	–	AH4	B6
SDRAM_DQ25	44	–	AA11	B6
SDRAM_DQ26	45	–	AF4	B6
SDRAM_DQ27	47	–	AF3	B6
SDRAM_DQ28	48	–	AE4	B6
SDRAM_DQ29	50	–	AE3	B6
SDRAM_DQ30	51	–	AD9	B6
SDRAM_DQ31	53	–	AD8	B6

图表 10: SDRAM 与 FPGA 逻辑关连表



图表 11: SDRAM 连接示意图

2.5 SDR SDRAM 内存条插座

SDR SDRAM 内存条插座适用于 SODIMM 144pin 形式的笔记本电脑用内存条

PERIPHERAL		FPGA	
Signal Name	U21 pin#	pin #	bank#
DIMM_CK1	74	AJ15	7
DIMM_CK0	61	AK16	7
DIMM_CKE0	62	AK12	7

DIMM_CKE1	68	AK11	7
DIMM_CS0	69	AE12	7
DIMM_CS1	71	AH13	7
DIMM_CAS	66	AJ12	7
DIMM_RAS	65	AG15	7
DIMM_WE	67	AB14	7
DIMM_BA0	106	AK7	7
DIMM_BA1	110	AJ6	7
DIMM_DM0	23	AL25	8
DIMM_DQ0	3	AL29	8
DIMM_DQ1	5	AM29	8
DIMM_DQ2	7	AL28	8
DIMM_DQ3	9	AM28	8
DIMM_DQ4	13	AL27	8
DIMM_DQ5	15	AM27	8
DIMM_DQ6	17	AL26	8
DIMM_DQ7	19	AM26	8
DIMM_DM1	25	AM25	8
DIMM_DQ8	37	AM24	8
DIMM_DQ9	39	AM23	8
DIMM_DQ10	41	AL23	8
DIMM_DQ11	43	AM22	8
DIMM_DQ12	47	AL22	8
DIMM_DQ13	49	AM21	8
DIMM_DQ14	51	AL21	8
DIMM_DQ15	53	AL20	8
DIMM_DM2	115	AM8	7
DIMM_DQ16	83	AM12	7
DIMM_DQ17	85	AL12	7
DIMM_DQ18	87	AM11	7
DIMM_DQ19	89	AL11	7
DIMM_DQ20	93	AM10	7
DIMM_DQ21	95	AL10	7
DIMM_DQ22	97	AM9	7
DIMM_DQ23	99	AL9	7
DIMM_DM3	117	AL8	7
DIMM_DQ24	121	AM7	7
DIMM_DQ25	123	AL7	7
DIMM_DQ26	125	AM6	7
DIMM_DQ27	127	AL6	7
DIMM_DQ28	131	AM5	7
DIMM_DQ29	133	AL5	7

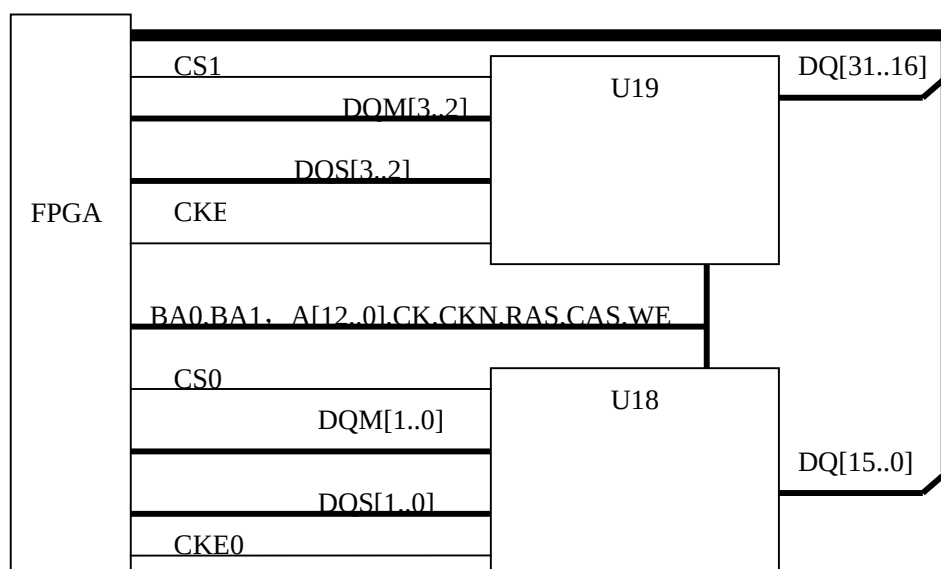
DIMM_DQ30	135	AM4	7
DIMM_DQ31	135	AL4	7
DIMM_DM4	24	AB21	8
DIMM_DQ32	4	AH26	8
DIMM_DQ33	6	AH25	8
DIMM_DQ34	8	AD23	8
DIMM_DQ35	10	AH24	8
DIMM_DQ36	14	AK24	8
DIMM_DQ37	16	AG23	8
DIMM_DQ38	18	AK23	8
DIMM_DQ39	20	AF23	8
DIMM_DM5	26	AK29	8
DIMM_DQ40	38	AJ28	8
DIMM_DQ41	40	AK28	8
DIMM_DQ42	42	AJ27	8
DIMM_DQ43	44	AK27	8
DIMM_DQ44	48	AJ26	8
DIMM_DQ45	50	AK26	8
DIMM_DQ46	52	AJ25	8
DIMM_DQ47	54	AK25	8
DIMM_DM6	116	AH5	7
DIMM_DQ48	84	AG14	7
DIMM_DQ49	86	AF13	7
DIMM_DQ50	88	AH11	7
DIMM_DQ51	90	AK9	7
DIMM_DQ52	94	AH9	7
DIMM_DQ53	96	AH8	7
DIMM_DQ54	98	AH7	7
DIMM_DQ55	100	AJ5	7
DIMM_DM7	118	AK13	7
DIMM_DQ56	122	AF12	7
DIMM_DQ57	124	AJ11	7
DIMM_DQ58	126	AG11	7
DIMM_DQ59	128	AG9	7
DIMM_DQ60	132	AG8	7
DIMM_DQ61	134	AK6	7
DIMM_DQ62	136	AK5	7
DIMM_DQ63	138	AH6	7
DIMM_A0	29	AG22	8
DIMM_A1	31	AC21	8
DIMM_A2	33	AB20	8
DIMM_A3	30	AJ23	8

DIMM_A4	32	AK22	8
DIMM_A5	34	AK21	8
DIMM_A6	103	AK8	7
DIMM_A7	104	AJ8	7
DIMM_A8	105	AE11	7
DIMM_A9	109	AJ7	7
DIMM_A10	111	AD12	7
DIMM_A11	112	AK4	7
DIMM_A12	70	AK10	7

图表 12: SODIMM SDRAM 与 FPGA 逻辑关连表

2.6 DDR SDRAM

DDR SDRAM 总容量为 64MByte (由两片 U18, U19:MT46LC16M16A2 组成)。时钟频率 166MHZ, 数据带宽 1.3GByte/s。



图表 13: DDR SDRAM 连接示意图

Peripheral			FPGA	
Signal Name	U18 pin#	U19 pin#	pin #	bank#
DDR_CK	45	45	B18	3
DDR_CKN	46	46	C18	3
DDR_CS0	24	—	L20	3
DDR_CS1	—	24	K18	3
DDR_CKE0	44	—	L18	3
DDR_CKE1	—	44	L21	3
DDR_CAS	22	22	C29	3
DDR_RAS	23	23	K22	3
DDR_WE	21	21	E25	3

DDR_BA0	26	26	B24	3
DDR_BA1	27	27	L19	3
DDR_A0	29	29	G21	3
DDR_A1	30	30	H20	3
DDR_A2	31	31	J19	3
DDR_A3	32	32	K19	3
DDR_A4	35	35	J22	3
DDR_A5	36	36	K21	3
DDR_A6	37	37	H22	3
DDR_A7	38	38	G22	3
DDR_A8	39	39	J21	3
DDR_A9	40	40	K20	3
DDR_A10	28	28	B22	3
DDR_A11	41	41	J20	3
DDR_A12	42	42	H21	3
DDR_DQS0	16	—	B25	3
DDR_DM0	20	—	D25	3
DDR_DQ0	2	—	C25	3
DDR_DQ1	4	—	A25	3
DDR_DQ2	5	—	E24	3
DDR_DQ3	7	—	A26	3
DDR_DQ4	8	—	C26	3
DDR_DQ5	10	—	D26	3
DDR_DQ6	11	—	E26	3
DDR_DQ7	13	—	E27	3
DDR_DQS1	51	—	D22	3
DDR_DM1	47	—	B23	3
DDR_DQ8	54	—	F22	3
DDR_DQ9	56	—	F23	3
DDR_DQ10	57	—	D21	3
DDR_DQ11	59	—	D23	3
DDR_DQ12	60	—	C23	3
DDR_DQ13	62	—	A23	3
DDR_DQ14	63	—	A24	3
DDR_DQ15	65	—	C24	3
DDR_DQS2	—	16	D19	3
DDR_DM2	—	20	B21	3
DDR_DQ16	—	2	C22	3
DDR_DQ17	—	4	A22	3
DDR_DQ18	—	5	A21	3
DDR_DQ19	—	7	C21	3
DDR_DQ20	—	8	B20	3

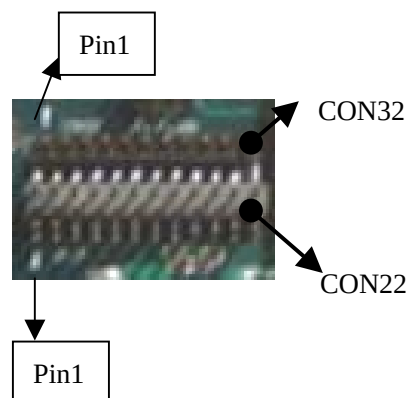
DDR_DQ21	—	10	C20	3
DDR_DQ22	—	11	E20	3
DDR_DQ23	—	13	E19	3
DDR_DQS3	—	51	B27	3
DDR_DM3	—	47	C28	3
DDR_DQ24	—	54	E28	3
DDR_DQ25	—	56	D28	3
DDR_DQ26	—	57	D27	3
DDR_DQ27	—	59	B29	3
DDR_DQ28	—	60	A29	3
DDR_DQ29	—	62	A27	3
DDR_DQ30	—	63	C27	3
DDR_DQ31	—	65	A28	3

图表 14: DDR SDRAM 与 FPGA 逻辑关连表

2.7 USB PHY

USB PHY(器件编号 U2)采用 SMSC 公司的符合 ULPI 接口的 Tranceiver USB3300。可以满足 USB2.0 FS/HS/LS, Host/Device/OTG 验证需求。兼容两种 USB 机械接口: USB TYPE A(4pin)和 USB Mini AB(5pin)。

PERIPHERAL		FPGA		Testpoint
Signal Name	U2 pin#	pin #	bank#	CON22 pin#
USB_CLK	14	U3	6	12
USB_D0	24	AC9	6	13
USB_D1	23	W5	6	15
USB_D2	22	AG3	6	16
USB_D3	21	W7	6	18
USB_D4	20	Y6	6	17
USB_D5	19	Y8	6	20
USB_D6	18	AB5	6	19
USB_D7	17	AA8	6	22
USB_DIR	11	AJ3	6	24
USB_NXT	13	AJ4	6	21
USB_STP	12	AA10	6	23



备注: 连接器 CON22 把 U2 与 FPGA 相连接的所有信号引出作为测试点。

图表 15: USB PHY 与 FPGA 逻辑关连表

其它说明:

- 电容 C603(150uF): 只有在您的应用是 USB HOST 时才需要, 如果是 Device 或 OTG 应用则**一定**要把 C603 拿掉。
- 跳线 J100: OTG 应用下的 ID 识别。ON-Device A; OFF-Device B
- 相关测试点: TP1 为 U2 pin3 的测试点

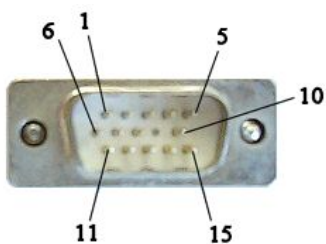
TP2 为 U2 pin4 测试点

TP3 为 GND

- 连接器 CON22 共 24 个 Pin，除图表 15 所列信号外，其余信号连接参见图表 23，CON32 的所有管脚均与 GND 连接

2.8 模数转换（ADC）

模数转换器（器件编号 U1）采用 ADI 公司视频 ADC AD9883AKST-140。支持 RGB 三基色 RCA 莲花头输入和 VGA DB15 输入接口，通过跳线 J12 来选择。



VGA 接口定义							
1	Red	5	Gnd	9	NC	13	HSYNC
2	Green	6	Gnd	10	Gnd	14	VSYNC
3	Blue	7	Gnd	11	NC	15	DDC Clock
4	NC	8	Gnd	12	DDC DAT		

图表 16: VGA 视频输入接口定义



RCA 接口信号定义	
J9	Red
J10	Green
J11	Blue

图表 17: VGA 视频输入接口定义

Peripheral		FPGA		Testpoint
Signal Name	U1 pin#	pin #	bank#	CON19 pin#
DGCLK	67	T3	5	31
DGHS	66	K4	5	14
DGVS	64	J4	5	11
DGSOG	65	K3	5	12
GCOAST	29	K1	5	10
DGR0	77	N4	5	22
DGR1	76	R2	5	28
DGR2	75	P4	5	23
DGR3	74	P2	5	26
DGR4	73	T4	5	25
DGR5	72	T2	5	27
DGR6	71	R4	5	24
DGR7	70	U2	6	30
DGG0	9	L2	5	13
DGG1	8	L1	5	15
DGG2	7	M2	5	16
DGG3	6	L3	5	17
DGG4	5	M1	5	18

DGG5	4	M4	5	19
DGG6	3	N2	5	20
DGG7	2	P1	5	21
DGB0	19	D4	5	2
DGB1	18	D3	5	3
DGB2	17	G1	5	4
DGB3	16	H2	5	5
DGB4	15	H1	5	6
DGB5	14	J2	5	7
DGB6	13	J1	5	8
DGB7	12	K2	5	9
GND				1, 29
+3.3V				32

备注：连接器 CON19 把 U1 与 FPGA 相连接的所有信号引出作为测试点。

图表 18：AD9883 与 FPGA 逻辑关连表

其它说明：

- 跳线 J12： 选择模拟接口。GND-RCA 接口；5V-VGA 接口
- 相关测试点： TP12-Red 输入模拟信号测试点
TP13-Green 输入模拟信号测试点
TP14-Blue 输入模拟信号测试点
- 通过 I²C 总线对 AD9883 控制，AD9883 的 I²C 地址通过电阻 R4 设置：
R4=0：AD9883 的 I²C 地址为 0
R4=Open：AD9883 的 I²C 地址为 1
- 与 CON19 相邻的 CON29 上的所有插针都与 GND 连接

2.9 数模转换(DAC)

数模转换器采用 ADI 公司视频 DAC ADV7123JST240，同时支持 RGB 分量的莲花头 RCA 输出接口和亮度 (Y)、复合色度 (C) 的 S 端子输出接口。

RCA 接口定义			S 端子 J78 接口定义	
J23	U17 pin34	Red	J78 pin4	复合色度 C
J24	U17 pin32	Green	J78 pin3	亮度 Y
J25	U17 pin28	Blue		

图表 19：模拟输出接口信号定义

PERIPHERAL		FPGA		Testpoint
Signal Name	U17 pin#	pin #	bank#	CON20 pin#
SYNC	12	M3	5	23
BLANK	11	N9	5	22
CLK_DA	24	L5	5	35
CVBS0	14	N7	5	24

CVBS1	15	L4	5	25
CVBS2	16	L8	5	26
CVBS3	17	K7	5	27
CVBS4	18	M9	5	29
CVBS5	19	L7	5	28
CVBS6	20	M10	5	31
CVBS7	21	J6	5	30
CVBS8	22	J7	5	32
CVBS9	23	M11	5	34
VHSC0	39	J3	5	2
VHSC1	40	T11	5	3
VHSC2	41	T10	5	4
VHSC3	42	P5	5	5
VHSC4	43	R5	5	6
VHSC5	44	N5	5	7
VHSC6	45	P6	5	8
VHSC7	46	M6	5	9
VHSC8	47	N6	5	10
VHSC9	48	N8	5	11
VHSY0	1	P7	5	12
VHSY1	2	R11	5	13
VHSY2	3	R10	5	14
VHSY3	4	G3	5	15
VHSY4	5	G4	5	16
VHSY5	6	F4	5	17
VHSY6	7	F3	5	18
VHSY7	8	J9	5	19
VHSY8	9	J8	5	20
VHSY9	10	N3	5	21
GND				1, 33
+3.3V				36

备注：连接器 CON20 把 U17 与 FPGA 相连接的所有信号引出作为测试点。

图表 20：ADV7123 与 FPGA 逻辑关连表

其它说明：

- 跳线 J22： GND-ADV7123 进入节电待机模式；
3.3V-ADV7123 处于正常工作模式
- 与 CON20 相邻的 CON30 上的所有插针都与 GND 连接

2.10 电视视频解码器

电视视频解码器采用 Micronas 公司的全制式(PAL/NTSC/SECAM)彩色解码电路 VPC3230D-QA-C5（器件编号 U11）。它属于模拟视频前端处理电路。该芯片

有 4 个 CVBS 视频信号输入端、一个 S-VHS 视频信号输入端,两个 RGB/YCbCr 分量输入端和一个快速消隐输入端;内含钳位电路及 AGC 电路、集成 A/D 转换器;多种制式同步信号处理,可对所有信号进行清晰度、对比度、亮度、彩色饱和度和色调控制。CVBS、S-VHS 及 YCbCr/RGB 分量视频信号均直接输入给 VPC3230D, FPGA 通过 I2C 总线使 VPC3230D 选择其中的一路视频信号,送往 A/D 转换器。CVBS 和 S-VHS 信号通过 A/D 转换后送自适应数字梳状滤波器和彩色解码器。YCbCr/RGB 分量视频信号经 A/D 转换后进行模式、对比度、饱和度、亮度和色度的处理。以上经过处理的 CVBS、S-VHS 和 YCbCr/RGB 信号均要经混合器送 2D 定标器完成 PIP、场景模式、对比度、亮度和峰化控制,最后得到数字视频信号。

信号名称	U11 关联 pin#	视频输入接口
R 或 Cr 分量输入	6	J18
G 或 Y 分量输入	5	J17
B 或 Cb 分量输入	4	J16
R 或 Cr 分量输入	3	CON6 pin7
G 或 Y 分量输入	2	CON6 pin5
B 或 Cb 分量输入	1	CON6 pin3
FastBlank 输入	79	CON6 pin1
色度信号 C 输入	71	S 端子 pin3
亮度信号 Y 输入	72	S 端子 pin4
CVBS 复合输入	73	J19
CVBS 复合输入	74	CON6 pin9
CVBS 复合输入	75	J17
CVBS 复合输出	70	CON6 pin11

图表 21: 模拟输入接口定义

Peripheral		FPGA		Testpoint
Signal Name	U11 pin#	pin #	bank#	CON23 pin#
GVCLK	27,28	U1	6	23
GVHS	56	L10	5	4
GVPEN	54	K9	5	3
GVVS	57	U4	6	1
VPC_RST	15	AB7	6	21
VUV0	50	AB6	6	22
VUV1	49	Y9	6	19
VUV2	48	AA6	6	20
VUV3	47	W4	6	18
VUV4	44	L9	5	6
VUV5	43	K8	5	5
VUV6	42	K6	5	7
VUV7	41	L6	5	9

VY0	40	V3	6	10
VY1	39	M7	5	12
VY2	38	P9	5	14
VY3	37	V7	6	16
VY4	34	M8	5	11
VY5	33	P8	5	13
VY6	32	V9	6	15
VY7	31	V10	6	17
GND				2,8
+3.3V				24

备注：连接器 CON23 把 U11 与 FPGA 相连接的所有信号引出作为测试点。

图表 22: VPC3230 与 FPGA 逻辑关联表

其它说明：

- 通过 I²C 总线对 VPC3230 控制；
- VPC3230 的 I²C 地址通过两个电阻来设定：
 R76=10K, R82=Open: VPC3230 的 I²C address=1
 R76=Open, R82=10K: VPC3230 的 I²C address=0

2.11 TS 码流输入

电路板左下角 J95 是并行 TS 码流输入接口，用于连接数字调谐器等部件。

PERIPHERAL		FPGA		Testpoint
Signal Name	J95 pin#	pin #	bank#	CON22 pin#
TSIN_CLK	4	T1	5	3
TSIN_D0	16	AC8	6	14
TSIN_D1	15	AB8	6	11
TSIN_D2	14	U10	6	8
TSIN_D3	13	V6	6	7
TSIN_D4	12	T6	5	4
TSIN_D5	11	R3	5	2
TSIN_D6	10	P11	5	6
TSIN_D7	9	V4	6	10
TSIN_D8	27	W9	6	9
TSIN_DP	6	P10	5	1
TSIN_SYNC	1	U11	6	5

图表 23: TS 码流输入与 FPGA 逻辑关联表

其它说明：

- 与 CON22 相邻的 CON32 上的所有插针都与 GND 连接

2.12 TS 码流输出

PERIPHERAL	FPGA
------------	------

Signal Name	CON14 pin#	pin #	bank#
IOA_22 (*)	1	AH19	8
IOA_23 (*)	5	AJ19	8
IOA_24 (*)	9	AG20	8
IOA_25 (*)	13	AF20	8
IOA_26 (*)	17	AF21	8
IOA_27 (*)	21	AH22	8
IOA_28 (*)	25	AF19	8
IOA_33 (*)	29	AH28	8
IOA_30 (*)	33	AE21	8
IOA_31 (*)	37	AC18	8
IOA_32 (*)	41	AC19	8
IOA_29 (*)	45	AG24	8
IOA_34 (*)	49	AB17	8

备注：上表所有带(*)的信号与[用户扩展接口 CON7](#) 中的同名信号复用

图表 24:TS 码流输出与 FPGA 逻辑关联

2.13 音频输出

音频输出部分设计有两套音频 DAC：HT82V731（器件编号 U14）和 CS4334（器件编号 U15），经放大后输出到 J20（左声道）和 J21（右声道）。音量开关控制信号为 MUTE_CTRL：逻辑 1 静音，逻辑 0 出声。

PERIPHERAL			FPGA	
Signal Name	U15 pin#	U14 pin#	pin #	bank#
AMCLK	4	-	E1	5
MUTE_CTRL	-	-	E4	5
PCM_DATA0	1	3	F2	5
PCM_LRCLK	3	2	F1	5
PCM_SCLK	2	1	G2	5

图表 25： 音频部分与 FPGA 逻辑关联表

其它说明：

- 跳线 J74：选择功放部分的供电电压，选择 D5V 或 D12V 均可正常工作

2.14 LCD 接口

插座 CON15 包含了 5 对 LVDS 输出信号，可以连接具备串行接口的 LCD 显示屏。

PERIPHERAL		FPGA	
Signal Name	CON15 pin#	pin #	bank#
Diff_TX41P(*)	17	T23	2
Diff_TX41N(*)	18	T22	2
Diff_TX42P(*)	11	T28	2
Diff_TX42N(*)	12	T27	2
Diff_TX44P(*)	14	R25	2

Diff_TX44N(*)	15	R24	2
Diff_TX46P(*)	8	R27	2
Diff_TX46N(*)	9	R26	2
Diff_TX55P(*)	5	M23	2
Diff_TX55N(*)	6	M22	2

备注：上表带（*）的信号与用户扩展接口 CON1 中的同名信号复用

图表 26：LCD 接口与 FPGA 逻辑关联

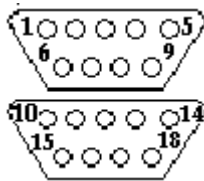
其它说明：

- 跳线 J108：选择 CON15 的 Pin1, 2 输出的电源电压：5V 或 3.3V

2.15 串行通讯接口

在电路板左上角有三个串行通讯接口，P1 上层和下层两个 DB9 接口信号符合 RS232 标准，J87 10pin IDC 接口信号符合 TTL 标准。其中 P1 下层串口拥有独立的 FPGA 接口信号，而 P1 上层串口与 J87 串口则复用一对 RXD1/TXD1 信号。使用过程中通过跳线 J98 和 J99 来选择。另外板内还有相应测试点及 LED 来监测四根信号线的状态。

PERIPHERAL			FPGA	
Signal Name	P1 pin#	J87 Pin#	pin #	BANK
RXD0	12	-D2	B5	
TXD0	13	-E2	B5	
RXD1(*)	3	7E3	B5	
TXD1(*)	4	5D1	B5	
GND	1,10	2,4,6,8,9,10		



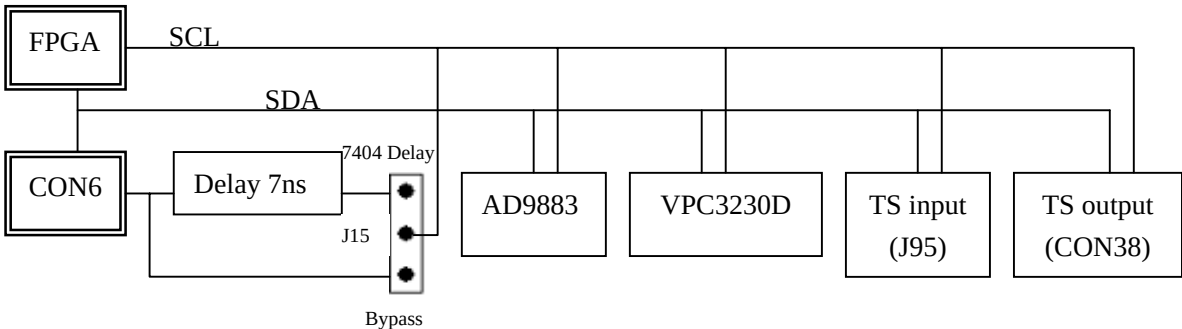
图表 27： 串行通讯接口与 FPGA 逻辑关联表

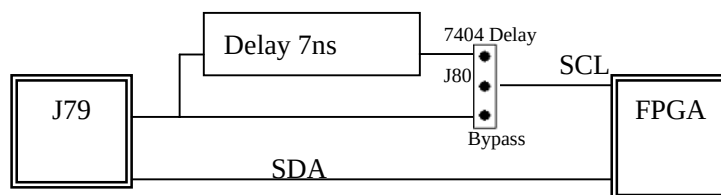
2.16 I²C 总线

有两套独立的 I²C 总线：

PERIPHERAL		FPGA	
Signal Name	Peripheral Pin#	pin #	BANK
SDA_A	CON6 pin15	AA9	6
SCL_A	CON6 pin13	AB12	7
SDA_B(*)	J79 pin1	Y11	6
SCL_B(*)	J79 pin3	AC11	7

图表 28： I²C 与 FPGA 逻辑关联表



图表 29: 第 1 套 I²C 总线 (SDA_A/SCL_A)图表 30: 第 2 套 I²C 总线 (SDA_B/SCL_B)

其它说明:

- 第 1 套 I²C 总线, 当接口 CON6 为 I²C MASTER 时, 跳线 J15 选择 SCL 是否延时 7ns 后到达 FPGA。当 FPGA 为 I²C MASTER 时, 跳线 J15 必须选择 “Bypass”。
- 第 2 套 I²C 总线, 当接口 J79 为 I²C MASTER 时, 跳线 J80 选择 SCL 是否延时 7ns 后到达 FPGA。当 FPGA 为 I²C MASTER 时, 跳线 J80 必须选择 “Bypass”。

2.17 LEDs

共十个红色发光二极管, 均为逻辑 “0” 亮。

PERIPHERAL		FPGA	
Signal Name	Part#	pin #	BANK
USER_LED0	D11	AC12	7
USER_LED1	D7	AG12	7
USER_LED2	D5	AL13	7
USER_LED3	D4	AL14	7
USER_LED4	D13	AM14	7
USER_LED5	D12	AG17	8
USER_LED6	D10	AG13	7
USER_LED7	D6	AH14	7
USER_LED8	D9	AJ13	7
USER_LED9	D8	AB16	7

图表 31: 用户 LED 与 FPGA 逻辑关连表

2.18 按钮

4 个不自锁按钮, 可用于手工复位输入或其他应用。按下为逻辑 “0”, 抬起为逻辑 “1”。同时在每个按钮旁各有一个按钮状态指示 LED, 与 FPGA 无关。当按钮按下时, 相应 LED 点亮。

PERIPHERAL		FPGA		Indicator
Signal Name	Part#	pin #	bank#	Part#
RESET0	SW2	AC20	8	D19
RESET1	SW1	AD22	8	D20
RESET2	SW4	AC22	8	D21

RESET3	SW3	AF22	8	D22
--------	-----	------	---	-----

图表 32: 用户按钮与 FPGA 逻辑关连表

2.19 拨码开关

位于板右下角的两个三态八位拨码开关 (U33, U35) 提供了 14 位 (最左边两位用户不可用, 从左到右依次为 SWIN2 至 SWIN15) 静态输入, 上、中、下三个位置分别为逻辑 1、断开、逻辑 0。

PERIPHERAL		FPGA	
Signal Name	U33, U35 bit# on PCB	pin #	bank#
SWIN2	2	AC17	8
SWIN3	3	AB18	8
SWIN4(*)	4	AG18	8
SWIN5(*)	5	AD19	8
SWIN6	6	AD20	8
SWIN7	7	AF19	8
SWIN8	8	AE20	8
SWIN9	9	AB19	8
SWIN10	10	AJ21	8
SWIN11	11	AJ22	8
SWIN12	12	AJ20	8
SWIN13	13	AD21	8
SWIN14	14	AE22	8
SWIN15	15	AK20	8

备注: 其中 SWIN4、SWIN5 与 PS2 键盘接口信号共享, 所以在
使用 PS2 键盘接口时, 务必使这两位拨码处于中间位置。

图表 33: 用户拨码开关与 FPGA 逻辑关连表

2.20 红外线接收

U75 为红外线接收模块的焊接位置, 红外线接收器模块电源为+5V, 用户可以根据自己对载波频率的要求, 选择以下红外线接收模块:

VISHAY IR Receiver:

Part Number	Carrier
TSOP1230	30
TSOP1233	33
TSOP1236	36
TSOP1237	36.7
TSOP1238	38
TSOP1240	40
TSOP1256	56

U75 唯一的数据输出信号 IrOut(*) 与 FPGA 的 AE26 脚相连。(该信号与 CON2 上的 Diff_TX20P 共享一个 FPGA IO pin)。

2.21 PS2 键盘接口

板有下角 CON35 为 PS2 键盘接口。

PERIPHERAL		FPGA	
Signal Name	CON35 pin#	pin #	bank#
PS2_Data(*)	1	AG18	8
PS2_Clock(*)	5	AD19	8
PS2_VCC	4		
PS2_GND	3		
NC	2, 6		

说明：在与标准 PS2 键盘连接时，跳线 J101 须选择 GND，跳线 J102 须选择 3.3V

图表 34：PS2 键盘接口与 FPGA 逻辑关连表

2.22 用户扩展 IO 接口

PERIPHERAL		FPGA	
Signal Name	CON7 pin#	pin #	bank#
IOA_1	1	Y11	6
IOA_2	4	AC11	7
IOA_3	3	AD11	7
IOA_4	6	AB13	7
IOA_7	8	AE10	7
IOA_9	10	AC13	7
IOA_10	9	AB15	7
IOA_11	14	AC14	7
IOA_12	11	AF10	7
IOA_13	16	AG10	7
IOA_14	13	AJ10	7
IOA_15	18	AF11	7
IOA_16	7	AE13	7
IOA_17	12	AC15	7
IOA_18	15	AD14	7
IOA_19	5	AD13	7
IOA_20	21	AC16	7
IOA_21	23	AD18	8
IOA_22	28	AH19	8
IOA_23	25	AJ19	8
IOA_24	27	AG20	8
IOA_25	32	AF20	8
IOA_26	31	AF21	8
IOA_27	34	AH22	8

IOA_28	33	AE19	8
IOA_29	36	AG24	8
IOA_30	35	AE21	8
IOA_31	38	AC18	8
IOA_32	37	AC19	8
IOA_33	39	AH28	8
IOA_34	29	AB17	8
IOA_36	17	AE14	7
GND	2,19,22,24,26,40		
NC	20		

备注：IDC40 插座 CON7 的信号排布与 ATA/IDE 标准兼容
 用户扩展接口 CON7 的信号定义

PERIPHERAL		FPGA	
Signal Name	CON3 pin#	pin #	bank#
IOB_0	3	K16	4
IOB_1	5	J15	4
IOB_2	7	K15	4
IOB_3	9	L16	4
IOB_4	11	L15	4
IOB_5	13	K13	4
IOB_6	15	F15	4
IOB_7	17	A14	4
IOB_8	19	F14	4
IOB_9	21	D13	4
IOB_10	23	C12	4
IOB_11	25	D12	4
IOB_12	27	C11	4
IOB_13	29	D11	4
IOB_14	31	C10	4
IOB_15	33	C9	4
IOB_16	35	C8	4
IOB_17	37	D8	4
IOB_18	43	D10	4
IOB_19	45	G10	4
IOB_20	47	B9	4
IOB_21	49	B8	4
IOB_22	51	A7	4
IOB_23	53	A6	4
IOB_24	55	A5	4

IOB_25	57	A4	4
IOB_26	59	K12	4
IOB_27	61	E8	4
IOB_28	63	J13	4
IOB_29	65	B4	4
IOB_30	67	F9	4
IOB_31	69	C7	4
IOB_32	71	C6	4
IOB_33	73	C5	4
IOB_34	75	D5	4
IOB_35	77	C4	4
IOB_36	4	E14	4
IOB_37	6	D14	4
IOB_38	8	C13	4
IOB_39	10	H14	4
IOB_40	12	J14	4
IOB_41	14	F13	4
IOB_42	16	F12	4
IOB_43	18	K14	4
IOB_44	20	B14	4
IOB_45	22	B13	
IOB_46	24	A12	4
IOB_47	26	B12	4
IOB_48	28	A11	4
IOB_49	30	B11	4
IOB_50	32	A10	4
IOB_51	34	E11	4
IOB_52	36	F11	4
IOB_53	38	H12	4
IOB_54	44	B10	4
IOB_55	46	A9	4
IOB_56	48	A8	4
IOB_57	50	E5	4
IOB_58	52	B7	4
IOB_59	54	B6	4
IOB_60	56	B5	4
IOB_61	58	E9	4
IOB_62	60	G13	4
IOB_63	62	H13	4
IOB_64	64	J12	4
IOB_65	66	L13	4

IOB_66	68	F8	4
IOB_67	70	D7	4
IOB_68	72	D6	4
IOB_69	74	E7	4
IOB_70	76	E6	4
VCCIO4	1,2,41,42		
GND	39,40,79,80		
NC	78		

用户扩展 GPIO 接口 CON3 的信号定义

PERIPHERAL		FPGA	
Signal Name	CON1 pin#	pin #	bank#
DIFFIO_RX62p	B17	G28	2
DIFFIO_RX62n	B18	G27	2
DIFFIO_TX62p	C15	H28	2
DIFFIO_TX62n	C16	H27	2
DIFFIO_RX61p	D19	E30	2
DIFFIO_RX61n	D20	E29	2
DIFFIO_TX61p	C17	K27	2
DIFFIO_TX61n	C18	K26	2
DIFFIO_RX60p	E19	D32	2
DIFFIO_RX60n	E20	D31	2
DIFFIO_TX60p	E13	J27	2
DIFFIO_TX60n	E14	J26	2
DIFFIO_RX59p	C19	F30	2
DIFFIO_RX59n	C20	F29	2
DIFFIO_TX59p	C11	K25	2
DIFFIO_TX59n	C12	K24	2
DIFFIO_RX58p	D17	G30	2
DIFFIO_RX58n	D18	G29	2
DIFFIO_TX58p	D11	L26	2
DIFFIO_TX58n	D12	L25	2
DIFFIO_RX57p	B16	H30	2
DIFFIO_RX57n	B15	H29	2
DIFFIO_TX57p	D15	L24	2
DIFFIO_TX57n	D16	L23	2
DIFFIO_RX56p	D13	J30	2
DIFFIO_RX56n	D14	J29	2
DIFFIO_TX56p	D9	M25	2
DIFFIO_TX56n	D10	M24	2
DIFFIO_RX55p	E17	E32	2

DIFFIO_RX55n	E18	E31	2
DIFFIO_TX55p(*)	B10	M23	2
DIFFIO_TX55n(*)	B11	M22	2
DIFFIO_RX54p	F17	F32	2
DIFFIO_RX54n	F18	F31	2
DIFFIO_TX54p	C13	M27	2
DIFFIO_TX54n	C14	M26	2
DIFFIO_RX53p	F13	G32	2
DIFFIO_RX53n	F14	G31	2
DIFFIO_TX53p	D7	N25	2
DIFFIO_TX53n	D8	N24	2
DIFFIO_RX52p	B19	H32	2
DIFFIO_RX52n	B20	H31	2
DIFFIO_TX52p	F11	N23	2
DIFFIO_TX52n	F12	N22	2
DIFFIO_RX51p	F15	J32	2
DIFFIO_RX51n	F16	J31	2
DIFFIO_TX51p	E7	P23	2
DIFFIO_TX51n	E8	P22	2
DIFFIO_RX50p	F1	K30	2
DIFFIO_RX50n	F2	K29	2
DIFFIO_TX50p	F5	N27	2
DIFFIO_TX50n	F6	N26	2
DIFFIO_RX49p	E15	K32	2
DIFFIO_RX49n	E16	K31	2
DIFFIO_TX49p	C5	P29	2
DIFFIO_TX49n	C6	P28	2
DIFFIO_RX48p	C9	L30	2
DIFFIO_RX48n	C10	L29	2
DIFFIO_TX48p	E11	P27	2
DIFFIO_TX48n	E12	P26	2
DIFFIO_RX47p	B3	N29	2
DIFFIO_RX47n	B4	N28	2
DIFFIO_TX47p	F7	P25	2
DIFFIO_TX47n	F8	P24	2
DIFFIO_RX46p	D5	M30	2
DIFFIO_RX46n	D6	M29	2
DIFFIO_TX46p(*)	C7	R27	2
DIFFIO_TX46n(*)	C8	R26	2
DIFFIO_RX45p	B12	L32	2
DIFFIO_RX45n	B13	L31	2

DIFFIO_TX45p	F3	R23	2
DIFFIO_TX45n	F4	R22	2
DIFFIO_RX44p	E3	N31	2
DIFFIO_RX44n	E4	N30	2
DIFFIO_TX44p(*)	D1	R25	2
DIFFIO_TX44n(*)	D2	R24	2
DIFFIO_RX43p	B5	M32	2
DIFFIO_RX43n	B6	M31	2
DIFFIO_TX43p	C4	R29	2
DIFFIO_TX43n	C3	R28	2
DIFFIO_RX42p	E1	P32	2
DIFFIO_RX42n	E2	P31	2
DIFFIO_TX42p(*)	B7	T28	2
DIFFIO_TX42n(*)	B8	T27	2
DIFFIO_RX41p	E5	R31	2
DIFFIO_RX41n	E6	R30	2
DIFFIO_TX41p(*)	C1	T23	2
DIFFIO_TX41n(*)	C2	T22	2
CLK1p	D4		2
CLK1n	D3		2
FPLL7CLKp	F19		2
FPLL7CLKn	F20		2
+5V	B9		
VCCIO2	E9,F9		
GND	B10,E10,F10,A1-20,G1-20		

用户扩展 GPIO 接口 CON1 的信号定义

PERIPHERAL		FPGA	
Signal Name	CON2 pin#	pin #	bank#
DIFFIO_RX40p	D8	V31	1
DIFFIO_RX40n	D7	V30	1
DIFFIO_TX40p	D20	U23	1
DIFFIO_TX40n	D19	U22	1
DIFFIO_RX39p	B8	W32	1
DIFFIO_RX39n	B7	W31	1
DIFFIO_TX39p	F19	U28	1
DIFFIO_TX39n	F20	U27	1
DIFFIO_RX38p	B6	AA32	1
DIFFIO_RX38n	B5	AA31	1
DIFFIO_TX38p	E19	V29	1
DIFFIO_TX38n	E20	V28	1

DIFFIO_RX37p	C8	Y31	1
DIFFIO_RX37n	C7	Y30	1
DIFFIO_TX37p	C20	V24	1
DIFFIO_TX37n	C19	V23	1
DIFFIO_RX36p	C6	AB32	1
DIFFIO_RX36n	C5	AB31	1
DIFFIO_TX36p	D14	W29	1
DIFFIO_TX36n	D13	W28	1
DIFFIO_RX35p	E7	AA30	1
DIFFIO_RX35n	E8	AA29	1
DIFFIO_TX35p	E18	W27	1
DIFFIO_TX35n	E17	W26	1
DIFFIO_RX34p	B18	Y29	1
DIFFIO_RX34n	B17	Y28	1
DIFFIO_TX34p	B19	W25	1
DIFFIO_TX34n	B20	W24	1
DIFFIO_RX33p	D5	AB30	1
DIFFIO_RX33n	D6	AB29	1
DIFFIO_TX33p	D12	Y27	1
DIFFIO_TX33n	D11	Y26	1
DIFFIO_RX32p	C4	AC32	1
DIFFIO_RX32n	C3	AC31	1
DIFFIO_TX32p	C16	AA27	1
DIFFIO_TX32n	C15	AA26	1
DIFFIO_RX31p	B15	AB28	1
DIFFIO_RX31n	B16	AB27	1
DIFFIO_TX31p	F15	Y25	1
DIFFIO_TX31n	F16	Y24	1
DIFFIO_RX30p	B4	AD32	1
DIFFIO_RX30n	B3	AD31	1
DIFFIO_TX30p	D18	W23	1
DIFFIO_TX30n	D17	W22	1
DIFFIO_RX29p	D4	AE32	1
DIFFIO_RX29n	D3	AE31	1
DIFFIO_TX29p	F13	AD27	1
DIFFIO_TX29n	F14	AD26	1
DIFFIO_RX28p	B2	AF32	1
DIFFIO_RX28n	B1	AF31	1
DIFFIO_TX28p	F6	AC27	1
DIFFIO_TX28n	F5	AC26	1
DIFFIO_RX27p	C2	AG32	1

DIFFIO_RX27n	C1	AG31	1
DIFFIO_TX27p	F17	Y23	1
DIFFIO_TX27n	F18	Y22	1
DIFFIO_RX26p	F8	AC30	1
DIFFIO_RX26n	F7	AC29	1
DIFFIO_TX26p	E16	AA25	1
DIFFIO_TX26n	E15	AA24	1
DIFFIO_RX25p	E6	AD30	1
DIFFIO_RX25n	E5	AD29	1
DIFFIO_TX25p	C12	AB26	1
DIFFIO_TX25n	C11	AB25	1
DIFFIO_RX24p	E2	AH32	1
DIFFIO_RX24n	E1	AH31	1
DIFFIO_TX24p	C17	AA23	1
DIFFIO_TX24n	C18	AA22	1
DIFFIO_RX23p	E4	AE30	1
DIFFIO_RX23n	E3	AE29	1
DIFFIO_TX23p	E11	AB24	1
DIFFIO_TX23n	E12	AB23	1
DIFFIO_RX22p	D2	AJ32	1
DIFFIO_RX22n	D1	AJ31	1
DIFFIO_TX22p	D15	AC25	1
DIFFIO_TX22n	D16	AC24	1
DIFFIO_RX21p	F4	AF30	1
DIFFIO_RX21n	F3	AF29	1
DIFFIO_TX21p	E14	AD25	1
DIFFIO_TX21n	E13	AD24	1
DIFFIO_RX20p	F2	AG30	1
DIFFIO_RX20n	F1	AG29	1
DIFFIO_TX20p(*)	B14	AE26	1
DIFFIO_TX20n	B13	AE25	1
DIFFIO_RX19p	F12	AH30	1
DIFFIO_RX19n	F11	AH29	1
DIFFIO_TX19p	C14	AE28	1
DIFFIO_TX19n	C13	AE27	1
+5V	B9,C9		
VCCIO2	D9,E9,F9		
GND	B10,C10,D10,E10,F10,A1-20,G1-20		

用户扩展 GPIO 接口 CON2 的信号定义

图表 35：用户扩展 IO 与 FPGA 逻辑关连表

其它说明:

- 建议把所有未使用的扩展 I/O 驱动逻辑 0, 以提高系统的 EMC 性能

2.23 配置与下载

支持三种配置方式: JTAG、PS、AS。请首先根据图表 39, 确认跳线 J36, J37, J38, J56, J57, J58, J60, J76, J77 设置准确。

2.23.1 JTAG 下载方式

PC 机通过下载电缆 (包括 ALTERA ByteBlasterII, ByteBlasterMV, MasterBlaster 或 USB Blaster) 连接 CON8 把程序下载到 FPGA。

器件编号	JTAG 模式下的设置状态	
J39	MSEL[0, 1, 2, 3]: 0 0 0 0	选择 JTAG 模式
J34	12 或无跳线	FPGA DATA0 浮空

图表 36: JTAG 下载模式的设置

*注: 对于 MasterBlaster 下载电缆: J97 需要设置为 ON
对于其他下载电缆: J97 设置为 OFF

2.23.2 Passive Serial 方式

PC 机通过下载电缆连接 CON9 把程序下载到 FPGA。

器件编号	PS 模式下的设置状态	含义
J39	MSEL[0, 1, 2, 3]: 0100	选择 PS 模式
J34	23	下载电缆 DATA0 与 FPGA DATA0 连接

图表 37: PS 电缆下载模式的设置

2.23.3 AS(Active Serial)方式

首先把 MSEL[0, 1, 2, 3] 置于 0000 位置, J34 跳 23 位置, PC 机通过 ByteBlasterII 或 USB Blaster 等下载电缆连接 CON10 把程序下载到配置芯片 EPCS64 中, 然后断电, 取下下载电缆, MSEL[0, 1, 2, 3] 置于 0001 位置, 重新加电后 FPGA 自动从配置芯片中加载程序。

*注: 在同一时刻, CON8, CON9, CON10 中只能有一个连接下载电缆。

2.24 跳线汇总

部件编号	功能说明	位置(以板左下角为原点的 X,Y 坐标 mm)
J12	AD9883 模拟输入接口选择	55,140
J15	外部 I2C SCL 是否延时输入	135,32
J22	ADV7123 节电模式设置	90,170
J34	配置信号 DATA0	255,160
J36	配置信号 nCE, 必须跳 12	245,160
J37	配置信号 DCLK, 必须跳 12	242,160
J38	配置信号上拉电源选择, 必须跳 23	249,160

J39	配置模式选择	150,145
J48	PLLENA (3.3V: PLL Enable; GND: PLL Disable)	160,95
J49	POR 设置(建议设置为 GND: 100ms)	150,95
J51	nPULLUP 设置, 建议设置为 GND	155,95
J53	DEV_CLRn(建议设置为 VCCIO8)	245,65
J54	DEV_OE(建议设置为 VCCIO8)	240,65
J55	VCCSEL(建议跳 23)	245,80
J56	JTAG TCK 信号, 必须跳 23	250,80
J57	JTAG TMS 信号, 必须跳 23	250,65
J58	JTAG TDI 信号, 必须跳 23	255,65
J60	JTAG TRST 信号, 必须跳 12	250,80
J72	TUNER 电源 (厂商保留, OFF)	45,25
J73	TUNER 电源 (厂商保留: OFF)	35,45
J74	音频供电	90,240
J75	TS OUTPUT 供电	295,23
J76	保留, 勿插跳线	255,200
J77	保留, 勿插跳线	270,200
J80	第二套 I2CSCL 是否经过延时间	130,32
J81	BANK1&2 Vref 设置 (建议设置为 GND)	300,173
J83	BANK4 Vref 设置 (建议设置为 GND)	145,200
J97	MasterBlaster Vref	295, 23
J98	UART 端口选择	155, 250
J99	UART 端口选择	155, 255
J100	USB OTG ID 设置	170, 60
J101	PS2 键盘接口地线设置	328, 12
J102	PS3 键盘接口电源设置	323, 12
J108	LCD 接口电源设置	315, 165

图表 38: 跳线汇总

3. 板内主要器件数据手册

EP2S60 (130/180)	www.altera.com
AD9883, ADV7123	www.analog.com
HT82V731	www.analog.com
CS4334	www.crystal.com
VPC3230D	www.micronas.com
MT46V16M16, MT48LC4M16	www.miron.com
USB3300	www.smssc.com
TSOP12xx	www.vishay.com

附录：实物照片

