



DS28CN01

带SHA-1引擎的 1K位、I²C/SMBus EEPROM

www.maxim-ic.com.cn

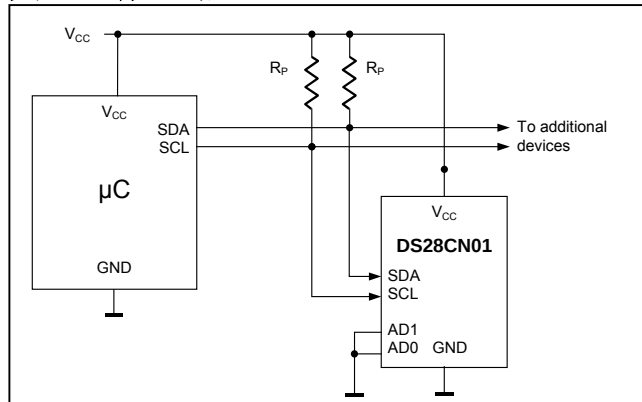
概述

DS28CN01 内置 1024 位EEPROM以及基于联邦信息委员会(FIPS) 180-1/180-2 和ISO/IEC 10118-3 散列加密算法(SHA-1)的质询-响应认证安全方案。该存储器由 4 个 32 字节的页面构成。每个存储器页都支持数据复制保护和EPROM仿真功能。每个DS28CN01 具有一个工厂编程、保证唯一的 64 位序列号。7 字节的随机质询及其它器件数据提供了主机和从器件之间高等级的认证安全。与DS28CN01 的通信可通过工业标准 I²C和SMBusTM兼容接口进行。当检测到总线超时故障时，SMBus超时功能将复位器件的接口。

应用

印制电路板(PCB)的唯一序列号
配件与外设识别
设备注册与许可权管理
网络节点识别
打印机墨盒配置与监测
医用传感器鉴定与校准
系统知识产权保护

典型工作电路



为清晰起见，寄存器、模式和命令用大写字母表示。

SMBus 是 Intel Corp. 的商标。

特性

- 1024 位 EEPROM 存储器，分为 4 个 256 位的页
- 片上 512 位 SHA-1 引擎计算 160 位信息认证码 (MAC)并生成密钥
- EEPROM 存储器页可独立设置为复制保护或设置为 EPROM 模式(仅允许 1 至 0 编程)
- 写访问需要密钥并具备计算和传输 160 位认证 MAC 的能力
- 唯一的、工厂编程并经过测试的 64 位注册码确保绝对可追踪，因为任意两个器件的注册码均不相同
- +25°C 温度下 200k 次擦写次数
- I²C和SMBus兼容串行接口实现用户可编程
- 支持 100kHz和 400kHz I²C通信速度
- 接口引脚具有 5.5V 耐压
- 工作范围：1.62V 至 5.5V，-40°C 至+85°C
- 8 引脚μSOP 封装

定购信息

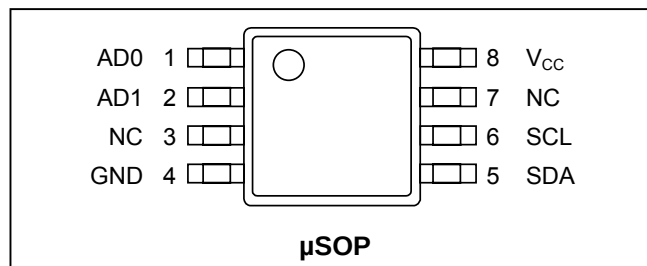
PART	TEMP RANGE	PIN-PACKAGE
DS28CN01U-A00+	-40°C to +85°C	8 μSOP
DS28CN01U-A00+T	-40°C to +85°C	8 μSOP Tape-and-Reel

+ 表示无铅封装。

申请完整的数据资料，请访问：

www.maxim-ic.com.cn/fulls/DS28CN01。

引脚配置



ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Pin Relative to Ground
 Maximum Current Any Pin
 Operating Temperature Range
 Junction Temperature
 Storage Temperature Range
 Soldering Temperature

-0.5V, +6V
 $\pm 20\text{mA}$
 -40°C to $+85^{\circ}\text{C}$
 $+150^{\circ}\text{C}$
 -55°C to $+125^{\circ}\text{C}$
 See IPC/JEDEC J-STD-020

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device.

ELECTRICAL CHARACTERISTICS (see Note 1)

($T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V_{CC}		1.62		5.50	V
Standby Current	I_{CCS}	Bus idle, $V_{CC} = 5.5\text{V}$			5.5	μA
Operating Current	I_{CCA}	Bus active at 400kHz, $V_{CC} = 5.5\text{V}$			500	μA
Power-Up Wait Time	t_{POIP}	(Note 2)			5	μs
EEPROM						
Programming Time	t_{PROG}	$V_{CC} \geq 2.0\text{V}$			10	ms
		$V_{CC} < 2.0\text{V}$			45	
Programming Current	I_{PROG}	$V_{CC} = 5.5\text{V}$			1.2	mA
Endurance (Notes 3, 4, 5)	N_{CY}	At $+25^{\circ}\text{C}$	200k			—
		At $+85^{\circ}\text{C}$	50k			
Data Retention (Notes 6, 7, 8)	t_{DR}	At $+85^{\circ}\text{C}$	40			years
SHA-1 Engine						
SHA Computation Time	t_{CSHA}	See full version of data sheet				ms
SHA Computation Current	I_{LCSHA}	See full version of data sheet				mA
SCL, SDA, AD1, AD0 Pins (Note 9) (See Figure 3)						
LOW Level Input Voltage	V_{IL}	$V_{CC} \geq 2.0\text{V}$	-0.3		$0.3 \times V_{CC}$	V
		$V_{CC} < 2.0\text{V}$	-0.3		$0.25 \times V_{CC}$	
HIGH Level Input Voltage	V_{IH}	$V_{CC} \geq 2.0\text{V}$	$0.7 \times V_{CC}$		$V_{CCMAX} + 0.3\text{V}$	V
		$V_{CC} < 2.0\text{V}$	$0.8 \times V_{CC}$		$V_{CCMAX} + 0.3\text{V}$	
Hysteresis of Schmitt Trigger Inputs (Note 2)	V_{HYS}	$V_{CC} \geq 2.0\text{V}$	$0.05 \times V_{CC}$			V
		$V_{CC} < 2.0\text{V}$	$0.1 \times V_{CC}$			
LOW Level Output Voltage at 4mA Sink Current, Open Drain	V_{OL}	$V_{CC} \geq 2.0\text{V}$			0.4	V
		$V_{CC} < 2.0\text{V}$			$0.2 \times V_{CC}$	
Output Fall Time from V_{IHMIN} to V_{ILMAX} with a Bus Capacitance from 10pF to 400pF (Notes 2, 10)	t_{OF}	$V_{CC} \geq 2.0\text{V}$	$20 + 0.1C_B$		250	ns
		$V_{CC} < 2.0\text{V}$	$20 + 0.1C_B$		300	
Pulse Width of Spikes that are Suppressed by the Input Filter	t_{SP}	(Note 2)			50	ns
Input Current with an Input Voltage Between $0.1V_{CC}$ and $0.9V_{CCMAX}$	I_i	(Note 11)	-10		+10	μA

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Capacitance	C_I	(Note 2)			10	pF
SCL Clock Frequency	f_{SCL}	(Note 12)			400	kHz
Bus Timeout	$t_{TIMEOUT}$	(Note 12)	25		75	ms
Hold-Time (Repeated) START Condition. After this Period, the First Clock Pulse is Generated.	$t_{HD:STA}$	(Note 13)	0.6			μ s
LOW Period of the SCL Clock (Note 13)	t_{LOW}	$V_{CC} \geq 2.7V$	1.3			μ s
		$V_{CC} \geq 2.0V$	1.5			
		$V_{CC} < 2.0V$	1.9			
HIGH Period of the SCL Clock	t_{HIGH}	(Note 13)	0.6			μ s
Setup Time for a Repeated START Condition	$t_{SU:STA}$	(Note 13)	0.6			μ s
Data Hold Time (Notes 14, 15)	$t_{HD:DAT}$	$V_{CC} \geq 2.7V$	0.3		0.9	μ s
		$V_{CC} \geq 2.0V$	0.3		1.1	
		$V_{CC} < 2.0V$	0.3		1.5	
Data Setup Time	$t_{SU:DAT}$	(Notes 2, 13, 16)	100			ns
Setup Time for STOP Condition	$t_{SU:STO}$	(Note 13)	0.6			μ s
Bus Free Time Between a STOP and START Condition	t_{BUF}	(Note 13)	1.3			μ s
Capacitive Load for Each Bus Line	C_B	(Notes 2, 13)			400	pF

- Note 1:** Specifications at -40°C are guaranteed by design and characterization only and not production tested.
- Note 2:** Guaranteed by design, characterization and/or simulation only, and not production tested.
- Note 3:** This specification is valid for each 8-byte memory row.
- Note 4:** Write-cycle endurance is degraded as T_A increases.
- Note 5:** Not 100% production-tested; guaranteed by reliability monitor sampling.
- Note 6:** Data retention is degraded as T_A increases.
- Note 7:** Guaranteed by 100% production test at elevated temperature for a shorter time; equivalence of this production test to data sheet limit at operating temperature range is established by reliability testing.
- Note 8:** EEPROM writes can become nonfunctional after the data retention time is exceeded. Long-time storage at elevated temperatures is not recommended; the device can lose its write capability after 10 years at +125°C or 40 years at +85°C.
- Note 9:** All values are referred to V_{IHMIN} and V_{ILMAX} levels.
- Note 10:** C_B = total capacitance of one bus line in pF. If mixed with high-speed-mode devices, faster fall-times according to I²C-Bus Specification v2.1 are allowed.
- Note 11:** The DS28CN01 does not obstruct the SDA and SCL lines if V_{CC} is switched off.
- Note 12:** The minimum SCL clock frequency is limited by the bus timeout feature. If the CM bit is 1 and SCL stays at the same logic level or SDA stays low for this interval, the DS28CN01 behaves as though it has sensed a STOP condition.
- Note 13:** System requirement.
- Note 14:** The DS28CN01 provides a hold time of at least 300ns for the SDA signal (referred to the V_{IHMIN} of the SCL signal) to bridge the undefined region of the falling edge of SCL.
- Note 15:** The master can provide a hold time of 0ns minimum when writing to the device. This 0ns minimum is guaranteed by design, characterization and/or simulation only, and not production tested.
- Note 16:** A Fast-Mode I²C-bus device can be used in a Standard-mode I²C-bus system, but the requirement $t_{SU:DAT} \geq 250$ ns must then be met. This is automatically the case if the device does not stretch the LOW period of the SCL signal. If such a device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line $t_{RMAX} + t_{SU:DAT} = 1000 + 250 = 1250$ ns (according to the Standard-mode I²C-bus specification) before the SCL line is released.

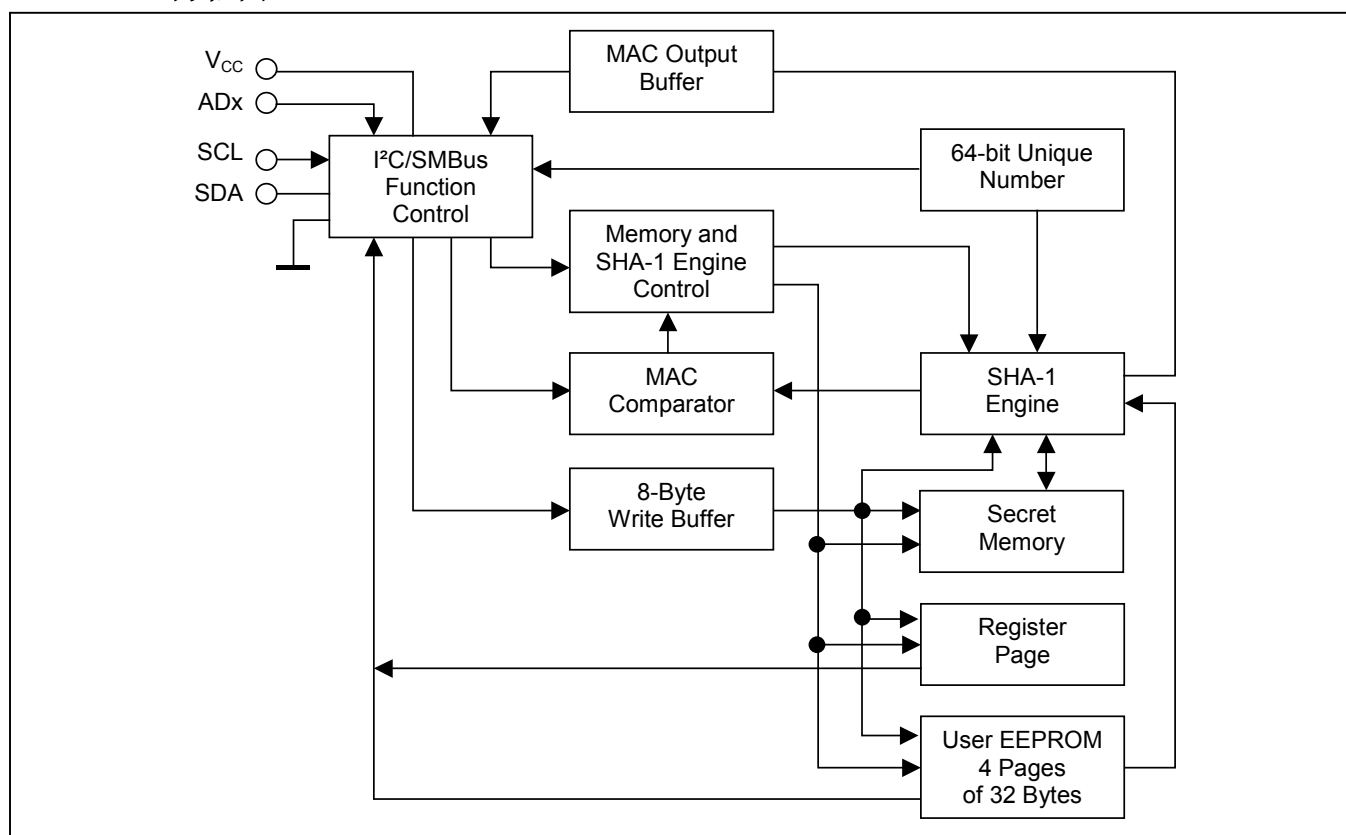
引脚说明

引脚	名称	功能
1	AD0	器件地址输入引脚，用来选择从器件地址。AD0 设置从地址位A1:A0 的值，必须接GND或SDA或SCL或V _{CC} 。
2	AD1	器件地址输入引脚，用来选择从器件地址。AD1 设置从地址位A3:A2 的值，必须接GND或SDA或SCL或V _{CC} 。
3, 7	N.C.	没有连接。
4	GND	电源地。
5	SDA	I ² C/SMBus 双向串行数据线。SDA必须通过一个上拉电阻接V _{CC} 。
6	SCL	I ² C/SMBus 串行时钟输入。SCL必须通过一个上拉电阻接V _{CC} 。
8	V _{CC}	电源输入。

概述

DS28CN01 带有串行I²C/SMBus接口、1K位SHA-1 安全 EEPROM、寄存器页和唯一注册码，如方框图所示。器件通过I²C接口以标准模式或高速模式与主机处理器通信。用户可将接口从I²C总线模式切换至SMBus模式。两个 4 电平地址引脚允许 16 个DS28CN01 挂接在同一总线上。

DS28CN01 方框图



器件工作情况

对DS28C01 的读/写访问均通过I²C/SMBus串行接口控制。由于DS28C01 的存储器和寄存器具有各自不同的特性，因此需要考虑好几种特殊情况。详见 *读/写操作* 一节。

串行通信接口

基本特性

串行接口通过数据线(SDA)和时钟信号(SCL)进行通信。SDA 和 SCL 是双向传输线，通过上拉电阻连接到正电源电压。不进行通信时 SDA 和 SCL 均为高电平。连接到总线的器件输出级必须是漏级开路或集电极开路，以满足线与功能。标准模式下数据的传输速率可达 100kbps，高速模式下可达 400kbps。DS28C01 可工作在上述两种模式下。

总线上发送数据的器件被定义为发射器，接收数据的器件为接收器。控制通信的器件称为“主机”。由主机控制的器件是“从器件”。DS28C01 为从器件。

从地址/方向字节

为了实现单独访问，各器件必须有一个不和总线上其他器件相冲突的从地址。DS28C01 响应的从地址见图 1。从地址是从地址/方向字节的一部分。DS28C01 从地址的前 3 位设置为 101b。引脚AD0 的逻辑状态决定地址位A0 和 A1 的值，AD1 用来控制A2 和A3 的值。AD0 和AD1 可以连接至GND、V_{CC}、SCL或SDA。表 1 给出了这四种引脚状态与二进制地址的对应关系。A0 至A3 位与相应引脚的逻辑状态一致时，器件被选中。

图 1. DS28C01 从地址

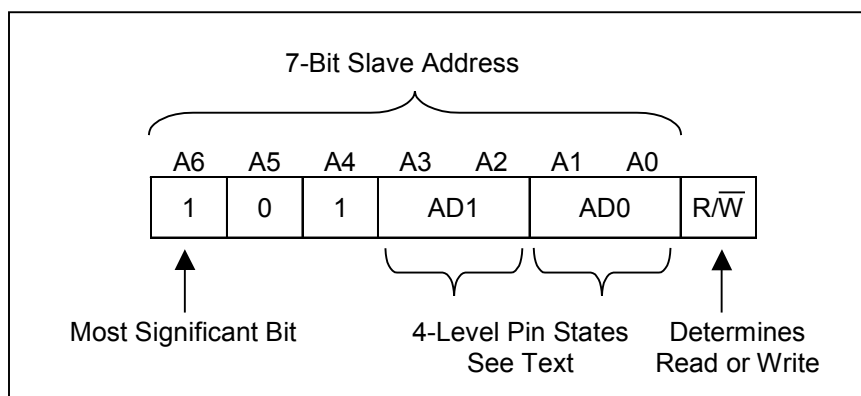


表 1. 引脚状态与二进制值的对应关系

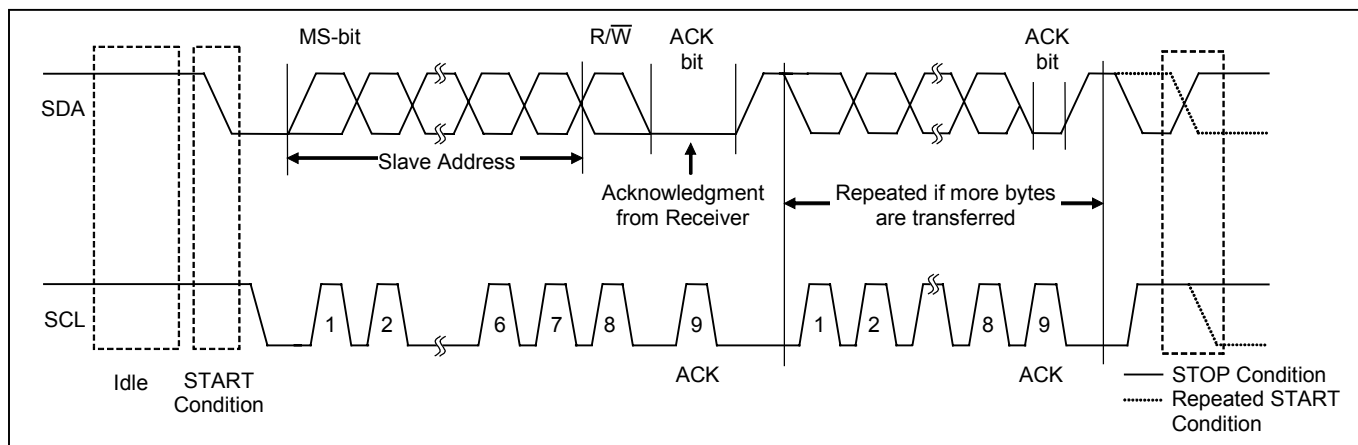
AD1	A3	A2	AD0	A1	A0
GND	0	0	GND	0	0
V _{CC}	0	1	V _{CC}	0	1
SCL	1	0	SCL	1	0
SDA	1	1	SDA	1	1

从机地址/方向字节的最后一位(R/W)定义数据方向。置为 0 时，后续数据将从主机发送到从机(写操作模式)；置为 1 时，数据将从从机传递到主机(读操作模式)。

I²C/SMBus 协议

只有当总线空闲时才能启动数据传输。主机产生串行时钟(SCL)控制总线访问,生成 **START** (启动)和 **STOP** (停止)条件,并决定在 **START** 和 **STOP** 条件之间通过数据线(SDA)传输的字节数。数据以字节形式传送,首先传送最高有效位。每个字节后紧跟一个应答位,实现主机与从机的同步。在数据传输期间,只要时钟线为高电平,SDA 就必须保持稳定。当 SCL 为高时,若 SDA 发生跳变则认为是 **START** 或 **STOP** 条件。协议说明如图 2 所示,详细时序见图 3。

图 2. I²C/SMBus协议概述



总线空闲或非忙状态

SDA 和 SCL 空闲,此时逻辑状态为高电平。

START 条件

为了与从器件进行数据传输,主机产生 **START** 条件。SCL 保持高电平时,SDA 从高电平跳变为低电平将产生一个 **START** 条件。

STOP 条件

为了终止与从器件之间的数据传输,主机产生 **STOP** 条件。SCL 保持高电平时,SDA 从低电平跳变为高电平将产生一个 **STOP** 条件。

重复 START 条件

重复启动通常用于读操作,在之前的操作中已经指定了明确的读存储地址。在一次数据传输结束后,主机可以使用重复 **START** 条件,表示在当前传输结束后立即启动一次新的数据传输。重复 **START** 条件的触发与通常的 **START** 条件一样,只是不会有之前的 **STOP** 条件。

数据有效

除**START**和**STOP**条件之外,SDA的跳变必须发生在SCL低电平期间。在整个SCL高电平期间、并在建立时间和保持时间(SCL下降沿后 $t_{HD:DAT}$,SCL上升沿前 $t_{SU:DAT}$,参见图 3)要求的范围内,SDA数据须保持稳定有效。每位数据对应一个时钟脉冲,在SCL脉冲的上升沿数据被移入接收器件。

写操作完成后,主机必须释放SDA,以保证在下一个SCL上升沿之前有充足的建立时间(最小值 $t_{SU:DAT} + t_R$,见图 3)启动读操作。从器件在SDA总线的前一个SCL脉冲下降沿逐位移出数据,数据位在当前SCL脉冲的上升沿时有效。主机产生所有的SCL时钟脉冲,包括那些读从器件数据所需的时钟。

从器件应答

通常，被选中的从器件每收到一个字节必须产生一个应答信号。主机必须生成与该应答位相关的时钟脉冲。应答器件在此时钟脉冲期间把SDA拉至低电平，并在应答时钟为高电平期间始终保持SDA为稳定的低电平。建立及保持时间 $t_{SU:DAT}$ 和 $t_{HD:DAT}$ 也必须考虑在内。

主机应答

主机从从器件持续读取数据时，主机必须每收到一个字节产生一个应答信号。主机必须生成与该应答位相关的时钟脉冲。应答主机在此时钟脉冲期间把SDA拉至低电平，并在应答时钟为高电平期间始终保持SDA为稳定的低电平。建立及保持时间 $t_{SU:DAT}$ 和 $t_{HD:DAT}$ 也必须考虑在内。

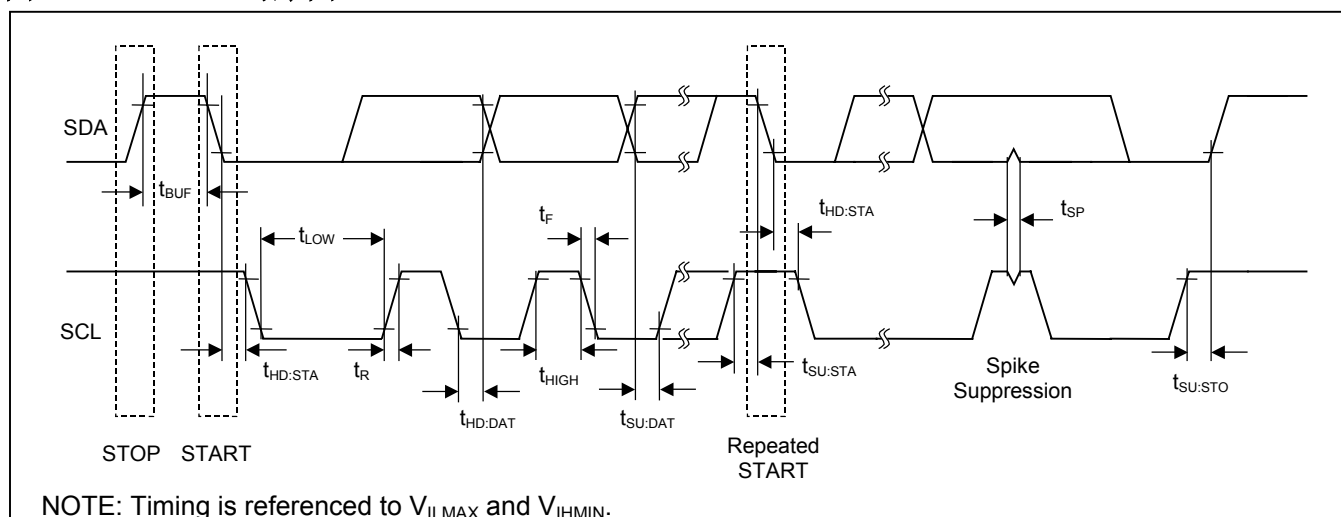
从器件未应答

当从器件正处于有效访问模式，如SHA-1计算或正在执行EEPROM写周期时，从器件无法接收或传送数据。这种情况下DS28C01对其所拒绝接收的任何字节不进行应答，只是在应答时钟为高电平期间将SDA置为高电平。详细描述参见读/写操作一节，那里给出了DS28C01不应答时的情况。

主机未应答

有时当接收数据时，主机必须终止读操作。为了获得这一信号，主机使SDA在相应的应答时钟脉冲为高期间保持高电平，即不应答从从器件接收到数据的最后一个字节。作为响应，从器件停止发送数据，允许主机发出STOP条件。

图 3. I²C/SMBus时序图



数据存储及寄存器

这一部分包括图 4 至 5，以及表 2 至 3，详细信息请参考完整的数据资料。

读/写操作

这一部分讨论了EEPROM和各个寄存器的读/写操作。详细信息，包括表 4 至 13，请参考完整的数据资料。

SHA-1 算法

有关SHA算法的说明来自安全散列标准SHA-1 文档，该文档可从NIST网站下载(www.itl.nist.gov/fipspubs/fip180-1.htm)。详细信息，请参考完整的数据资料。

应用信息

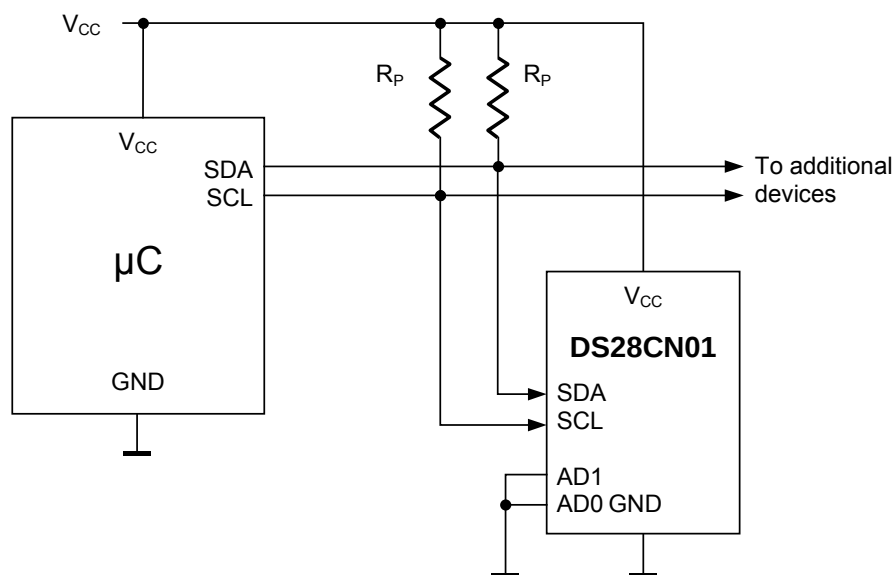
SDA 和 SCL 上拉电阻

DS28CN01 的 SDA 是漏极开路输出，需要一个上拉电阻(图 6)来实现逻辑高电平。由于 DS28CN01 只把 SCL 做为输入(无时钟伸展)，因此主机可以通过一个带上拉电阻的漏极开路/集电极开路输出或推挽式输出驱动 SCL。

上拉电阻 R_P 的大小

根据I²C规范，从器件在 V_{OL} 为 0.4V时必须至少能吸收 3mA电流。SMBus标准要求 0.4V时具有 4mA的吸入电流能力。在整个工作电压范围内，DS28CN01 在 V_{OL} 为 0.4V时源出至少 4mA电流。这一直流特性决定了上拉电阻的最小值： $R_{P\min} = (V_{CC} - 0.4V)/4mA$ 。最大工作电压为 5.5V时，上拉电阻最小值为 1.275k Ω 。图 7 中的“Minimum R_P ”曲线显示了上拉电阻最小值随工作(上拉)电压的变化情况。

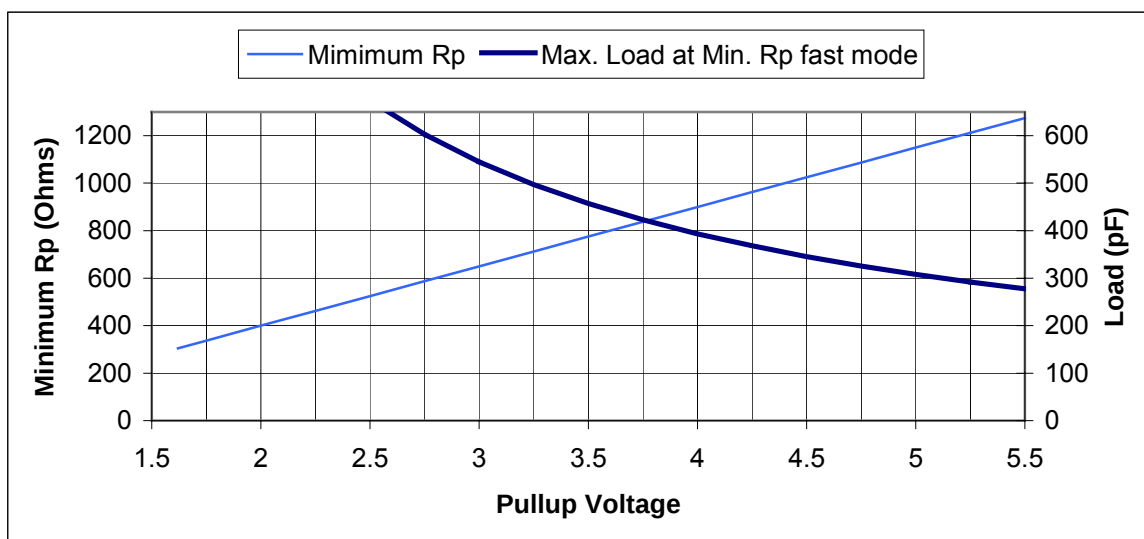
图 6. 应用电路原理图



对于I²C系统，上拉电压从 30%升至 70%的过渡时间定义为上升时间或下降时间。最大上升时间不能超过 300ns。假设上升时间取最大值，对于任何给定的 C_B ，最大电阻值为： $R_{P\max} = 300ns/(C_B \times \ln(7/3))$ 。总线电容为 400pF 时，最大上拉电阻为 885 Ω 。

为了满足上升时间指标以及 400pF的总线电容选择了 885 Ω 上拉电阻，该阻值比在 5.5V下要求的 $R_{P\min}$ 要低，因此必须找出另一种方法。首先计算在任何给定工作电压下的最小上拉电阻(通过“Minimum R_P ”曲线)，然后计算产生 300ns的上升时间对应的总线电容，最终生成如图 7 所示的“Max. Load...”曲线。

只有当上拉电压为 4V或更低时，才允许 400pF的最大总线电容。总线电容减小为 300pF时能够适合整个工作电压范围。各种电压下对应的上拉电阻值见“Minimum R_P ”曲线。

图 7. I²C 高速模式下的上拉电阻选择曲线

封装信息

如需最新版本的封装尺寸，请查询 www.maxim-ic.com.cn/DallasPackInfo。